



ZEN1501F

ARM用メモリコントロールIC

1. 概要

ZEN1501Fは、ARM^{*1}用メモリコントロールICです。ARMはRISC型32ビットCPUです。このCPUをコアにしてMMUとキャッシュメモリをまとめて、1チップにしたASSPがARM610/710aです。

ARM610/710aのメモリインタフェースはタイミング信号がないため、CPUのメモリ要求ステータス信号を元に外部でメモリ制御を行う必要があります。

ZEN1501FはARM610/710aのメモリ制御を行って、DRAM、ROM、SRAMおよびI/Oを直接接続できるようにします。CPUの動作クロックと各メモリの速度にあわせて、WAIT数の調整も可能です。

DRAMは最大256Mバイトまでの制御が可能で、リフレッシュも行います。IPLとして使われるROMのために64Kバイト単位で設定可能なアドレスデコード回路を内蔵し、ベクタ領域から切り放しもできます。I/Oページやその他のメモリのマッピングを行う設定可能なアドレスデコードを4個持っています。それぞれ64Kバイト単位で4Gバイトの空間に配置できます。

6つのマッピングブロック単位でWAIT数の設定が可能です。

内部レジスタのアドレスも再配置可能です。

この他、8チャンネルの割り込み入力を持っていて、割り込みレベル、エッジ選択、使用許可をチャンネル単位で設定できます。

メモリ制御機能の他に通信機能を内蔵しています。UART(82C50相当)を1ch内蔵しており、IrDA等に対応することができます。

(*1) ARMについて

英国Advanced RISC Machines Ltd.開発の小型、低消費電力、高性能、低価格を特徴とするRISC型マイクロプロセッサです。

国内外十数社がライセンス導入しており、国内ではシャープ、旭化成マイクロシステムズ、NEC、沖電気、ヤマハ、ロームなどです。(1996年11月現在)

ARM610、710aとしては、現在国内ではシャープ社のLH74610、LH77710A、VTI社のVY86C610、VY86C710Aなどが入手可能です。

本製品はシャープ社のLH74610、LH77710Aについて動作確認を行っております。

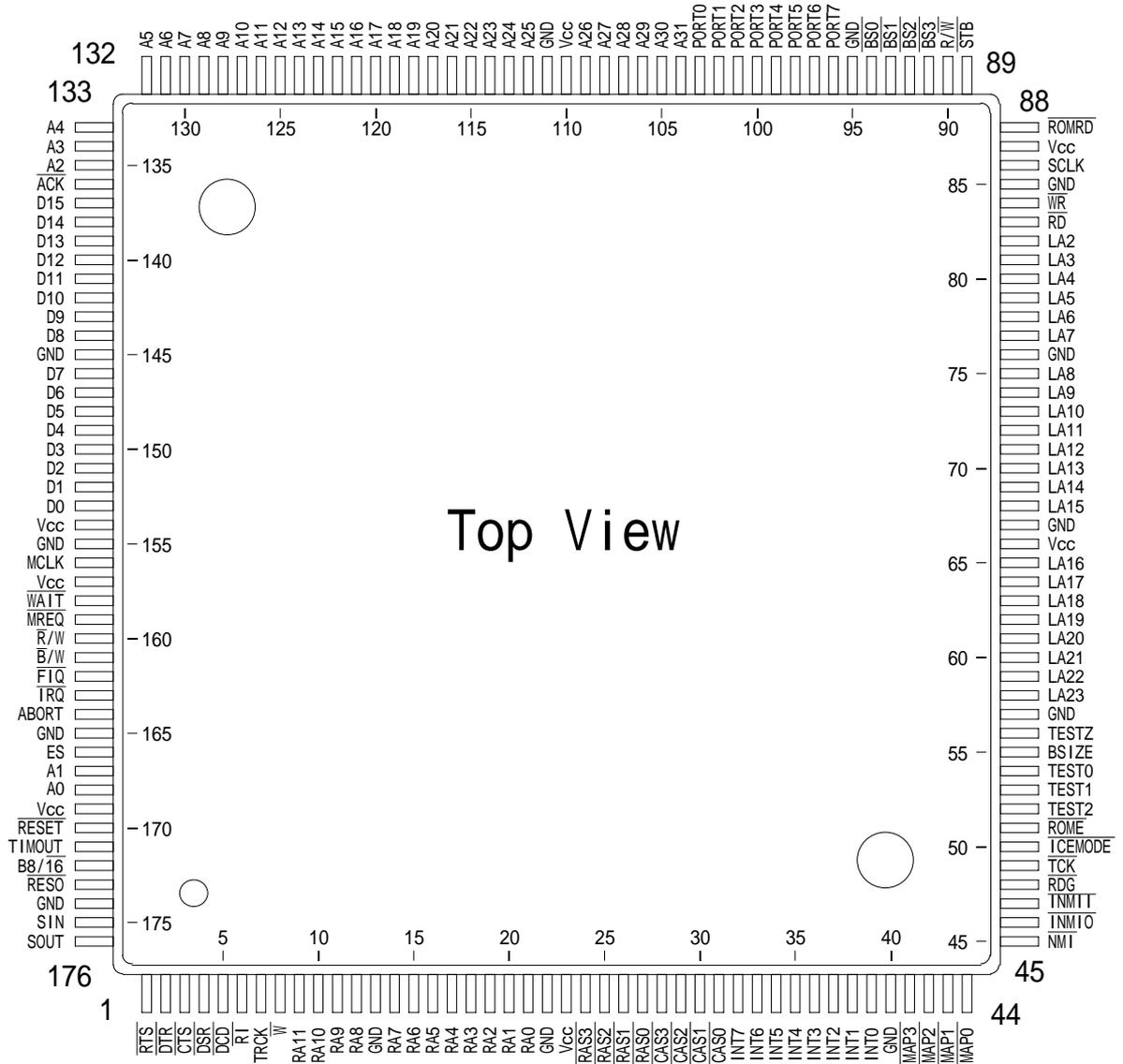
(Z1501G97)ZENIC Inc.

2. 機能

- ・ ARM610 / 710a のメモリ制御を 1 チップで可能。
- ・ DRAM 制御
 - 1 M バイト ~ 256 M バイト
 - 最大 4 バンク
 - 4 M、16 M、64 M の DRAM を直接接続可能
 - SIMM の使用も可能
 - リフレッシュタイマー内蔵
 - セルフリフレッシュ (CAS ビフォアRAS リフレッシュ)
 - WAIT 数の設定可能
- ・ PROM 制御
 - 64 K バイト単位でアドレスマッピング可能
 - リセット時ベクターページに配置
 - WAIT 数の設定可能
 - 8 ビット、16 ビット ROM の使用も可能
- ・ マッピング制御
 - 4 ブロック
 - 最小ブロックは 64 K バイト
 - WAIT 数の設定可能 (ブロック単位)
- ・ 内部レジスタ制御
 - 再配置可能
- ・ 割り込み制御
 - マスカブル割り込み 8 ch
 - 割り込みレベル、エッジを個別設定可能
 - 割り込み未使用時、入力ポートとして使用可能
 - UART 割り込み使用可能
 - 高速割り込み 1 ch
- ・ ユーティリティ
 - インターバルタイマー 1 ch (割り込み割り当て可能)
 - WDT
 - 入出力ポート 8 ビット
 - ROM インサーキットデバッグ用信号出力*1
- ・ UART 1 ch (82C50 相当)
- ・ CMOS プロセス
- ・ +5V 単一電源
- ・ 176 ピン TQFP パッケージ

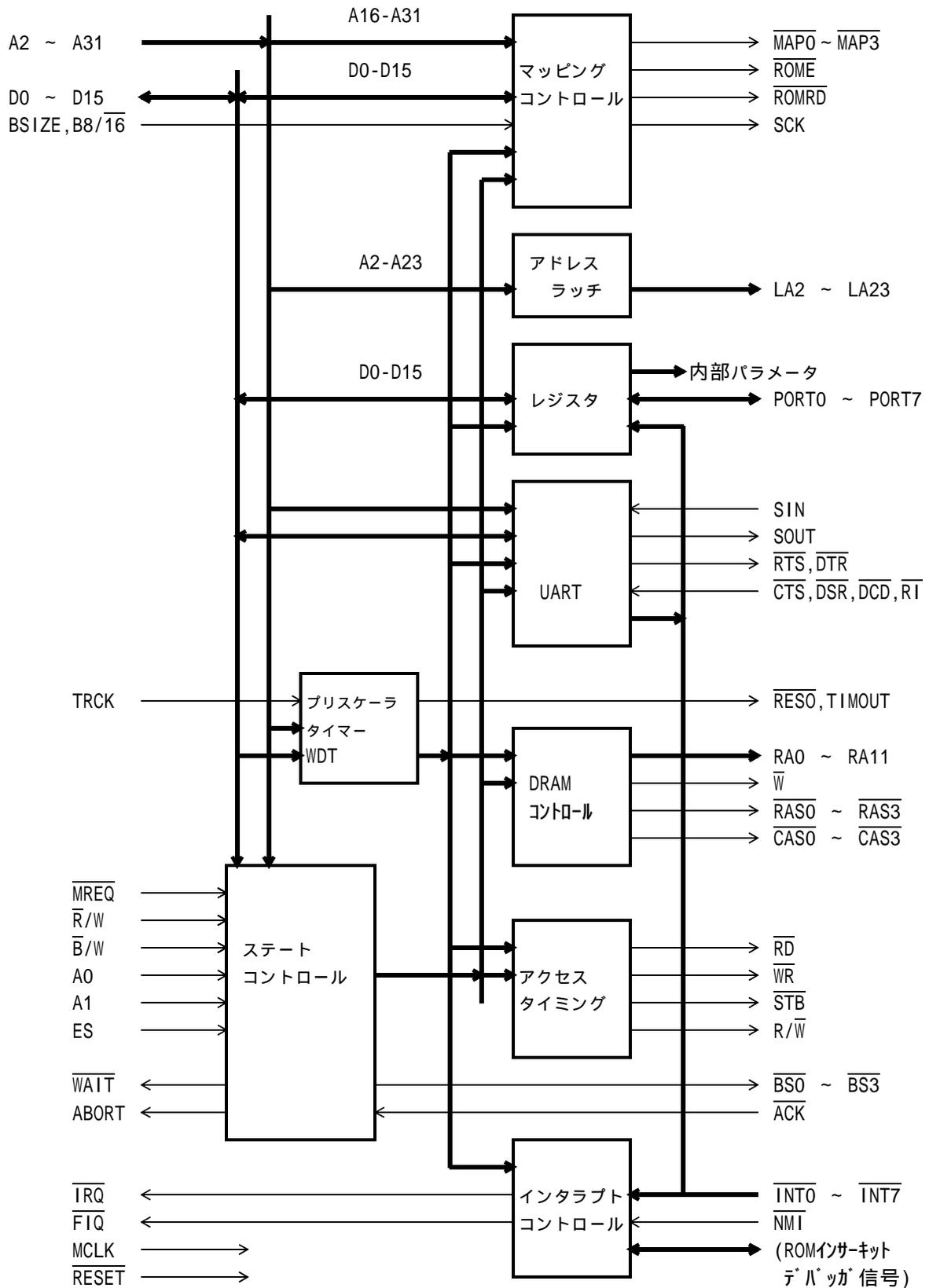
(*)1 京都マイクロコンピュータ製 PARTNER-ET Model -30

3. 端子配置



端子配置图

4. ブロック図



5. ピン名称と機能

ピン名称	番号	入出力	機能
A2 ~ A31	135 ~ 112, 109 ~ 104	入力	アドレスバス入力です。 CPUのアドレスバスに接続します。
D0 ~ D15	153 ~ 146, 144 ~ 137	入出力	本LSIの内部レジスタをアクセスする為のデータバスです。 CPUのデータバス下位16ビットに接続します。
$\overline{\text{MREQ}}$	159	入力	CPUのメモリサイクルの区間を示す信号です。 CPUの $\overline{\text{MREQ}}$ に接続します。
$\overline{\text{R/W}}$	160	入力	CPUのメモリサイクルがREADかWRITEかを示します。 READ時にLowとなり、WRITE時にHighになります。 CPUの $\overline{\text{R/W}}$ に接続します。
$\overline{\text{B/W}}$	161	入力	CPUのメモリサイクルのアクセスサイズを示します。 Byteアクセス時にLowとなり、Word時にHighとなります。 CPUの $\overline{\text{B/W}}$ に接続します。
A0 A1 ES	168, 167, 166	入力	CPUのA0、A1に接続します。また、エンディアンはESで指定 します。ES=LowでLE、ES=HighでBEになります。
$\overline{\text{FIQ}}$	162	出力	高速割り込み要求信号です。 CPUの $\overline{\text{FIQ}}$ に接続します。
$\overline{\text{IRQ}}$	163	出力	割り込み要求信号です。INT0 ~ INT7の割り込み要求をまとめて CPUに割り込みの要求を出力します。 CPUの $\overline{\text{IRQ}}$ に接続します。
$\overline{\text{WAIT}}$	158	出力	CPUのメモリサイクルを休止させるための信号です。 各メモリサイクルの速度に合わせて出力し、CPUのサイクル を休止させます。 CPUの $\overline{\text{WAIT}}$ に接続します。
$\overline{\text{ACK}}$	136	入力	ハンドシェイクタイプのバスサイクルを設定したメモリマップ からの応答に使用します。
ABORT	164	出力	ハンドシェイクタイプのバスサイクルを設定したメモリマップ で、 $\overline{\text{ACK}}$ 信号の応答がない場合および未定義領域にアクセス した場合にABORT信号を出力することができます。 CPUのABORTに接続します。
MCLK	156	入力	CPUのメモリサイクルのタイミングクロックです。本LSI は、このMCLKに同期して動作します。 CPUのMCLKと同じクロックに接続してください。
PORT0 ~ PORT7	103 ~ 96	入出力	汎用入出力ポートです。各ビット毎に入力、出力の切り替えが できます。
$\overline{\text{RES0}}$	173	出力	$\overline{\text{RESET}}$ がLowかウォッチ・ドッグ・タイマーがタイム・アウト になるとLowを出力します。 本LSI初期化のために外部入力 $\overline{\text{RESET}}$ がHighになってから 最大4クロック遅れてHighが出力されます。 CPUの $\overline{\text{RESET}}$ に接続してください。

ピン名称	番号	入出力	機能
TIMOUT	171	出力	一定時間の間隔で出力する信号です。間隔はプログラマブルです。
RA0 ~ RA11	21 ~ 14, 12 ~ 9	出力	D R A M用のアドレス出力信号です。
RAS0 ~ RAS3	27 ~ 24	出力	D R A MのR A S信号です。32ビット幅のメモリバンク4つを選択します。
CAS0 ~ CAS3	31 ~ 28	出力	D R A MのC A S信号です。バイト単位の選択に使用します。CAS0はD0 ~ D7、CAS1はD8 ~ D15、CAS2はD16 ~ D23、CAS3はD24 ~ D31に対応します。
\bar{W}	8	出力	D R A Mの \bar{W} 信号です。READ、WRITEの切り替えを行います。
LA2 ~ LA23	82 ~ 77, 75 ~ 68, 65 ~ 58	出力	ラッチアドレス信号です。C P Uのアドレス信号をラッチしてバスサイクルの最後まで保持しています。
\bar{RD}	83	出力	メモリやI / Oの読み出しストロブ信号です。 ROME、MAP0 ~ MAP3で選択されるデバイスの \bar{RD} 、 \bar{OE} などに接続します。
\bar{WR}	84	出力	メモリやI / Oの書き込みストロブ信号です。 ROME、MAP0 ~ MAP3で選択されるデバイスの \bar{WR} 、 \bar{WE} などに接続します。
\bar{STB}	89	出力	メモリやI / Oのデータストロブ信号です。 \bar{RD} 、 \bar{WR} のストロブに分かれていないタイプのデバイスの接続に使用します。
R/ \bar{W}	90	出力	メモリやI / Oのリード/ライト識別信号です。 データストロブ発生時のデータの方向を指定します。 リード時はHigh、ライト時はLowとなります。
BS0 ~ BS3	94 ~ 91	出力	バイトアクセス時にバイト単位でWR信号を生成するための、 バイト識別信号です。 BS0はD0 ~ D7、BS1はD8 ~ D15、BS2はD16 ~ D23、BS3はD24 ~ D31 に対応してLowになります。 ワードアクセス時にはすべてLowになります。 バスサイジング機能を使用する際は、BS0,BS1はROMの アドレスになります。 BS0 : 8ビット、16ビット共アドレスの最下位ビット。 アドレス0 BS1 : 8ビットROM使用時アドレス1。 また、BS0,BS1はリード時は本LSIが自動的に値を発生しますが、 ライト時は内部レジスタ(ADDR)で設定した値が出力されます。

ピン名称	番号	入出力	機能
\overline{ROME}	51	出力	IPL用のROMのチップセレクト信号です。 ROMの \overline{CE} 信号に接続します。
\overline{ROMRD}	88	出力	ROMのチップセレクトとリード信号のAND出力です。 バスサイジング時のシフトレジスタの出力イネーブルに 接続します。
BSIZE	55	入力	バスサイジング機能を使用する場合にこの信号をHighに 使用しない場合には、Lowにします。
$B8/16$	172	入力	バスサイジング機能を使用する場合はROMのデータ幅を指定 します。 0 : 16ビットROM使用時 1 : 8ビットROM使用時
SCLK	86	出力	バスサイジング機能使用時に、データをシフトするための クロックです。
$\overline{MAP0} \sim \overline{MAP3}$	44 ~ 41	出力	SRAM、I/Oなどのデバイスの選択信号です。 4つのマッピングブロックを指定できます。それぞれに、 アドレス配置、容量、サイクル速度、ハンドシェークの有無を 指定できます。 各デバイスの \overline{CE} 信号か、下位のアドレスデコーダの \overline{ENB} 信号に 接続します。
$\overline{INT0} \sim \overline{INT7}$	39 ~ 32	入力	8本の割り込み入力です。8本の割り込みはLSI内でORさ れ \overline{IRQ} 信号としてCPUに割り込み要求を行います。 8本の割り込みはそれぞれレベル、エッジの設定ができます。 使用しないビットはマスク処理できます。 割り込み無効のビットは、入力ポートとしても使用できます。
\overline{NMI}	45	入力	高速割り込み \overline{FIQ} に接続されます。ROMインサーキットデバ ッグ使用時、信号は切り替え処理されます。
\overline{INMIO}	46	入力	ROMインサーキットデバッグからのブレーク信号です。 $\overline{ICEMODE}$ 入力がLowの時にCPUへ \overline{FIQ} を発生します。 $\overline{ICEMODE}$ 入力がHighの時は無視します。
$\overline{INMI1}$	47	出力	ROMインサーキットデバッグへユーザーの \overline{NMI} (\overline{FIQ})を出力し ます。
\overline{RDG}	48	出力	ROMインサーキットデバッグへメモリアクセスタイミングを 知らせる信号です。
\overline{TCK}	49	出力	ROMインサーキットデバッグへメモリサイクルタイミングを 知らせる信号です。
$\overline{ICEMODE}$	50	入力	ROMインサーキットデバッグの接続をこのLSIに知らせる 信号です。 ROMインサーキットデバッグを接続しない時はHighにして ください。 LowでROMインサーキットデバッグよりのブレーク信号を有 効にします。

ピン名称	番号	入出力	機能
SIN	175	入力	UART用のシリアル・データ入力信号です。接続された通信デバイスから入力します。
SOUT	176	出力	UART用のシリアル・データ出力です。接続された通信デバイスに出力します。
$\overline{\text{RTS}}$	1	出力	モデムにデータ受信が可能であることを示すための制御信号です。
$\overline{\text{DTR}}$	2	出力	モデムにデータを送信することが可能であることを示すための制御信号です。
$\overline{\text{CTS}}$	3	入力	モデムのステータスで、クリア・トゥ・SEND信号です。オートCTSモードで送信をコントロールするのに使用されます。モデムステータスレジスタのビット4を読み出す事によって、状態を確認する事ができます。
$\overline{\text{DSR}}$	4	入力	モデムのステータスで、データ・ターミナル・レディ信号です。モデムステータスレジスタのビット5を読み出す事によって、状態を確認する事ができます。
$\overline{\text{DCD}}$	5	入力	モデムのステータスで、データ・キャリア・ディテクト信号です。モデムステータスインタラプトが許可されている場合にDCD信号のレベル変化でインタラプトが発生します。モデムステータスレジスタのビット7を読み出す事によって、状態を確認する事ができます。
$\overline{\text{RI}}$	6	入力	モデムのステータスで、リング・インディケータ信号です。モデムステータスレジスタのビット6を読み出す事によって、状態を確認する事が可能です。
TRCK	7	入力	シリアル通信用のクロック入力です。通信用のクロックは内部のプリスケラを使用するか、このTRCKを使用するかを選択ができます。
$\overline{\text{RESET}}$	170	入力	システムリセット入力です。
TEST0 ~ 2 TESTZ	54 ~ 52, 56	入力	L S Iテスト用入力信号です。Lowに固定して下さい。
Vcc	23, 66, 87, 110, 154, 157, 169		電源端子 (+ 5 V) すべての端子をVccに接続してください。
GND	13, 22, 40, 57, 67, 76, 85, 95, 111, 145, 155, 165, 174		GND端子 (0 V) すべての端子をGNDに接続してください。

6. 動作説明

6-1. 内部レジスタ

内部レジスタは、アドレスマッピングの指定や、動作タイミングと時間間隔を設定する為のレジスタです。このレジスタの配置アドレスは、リセット直後は規定のアドレスに配置されますが、他のメモリなどと同様にマッピング指定が可能で再配置できます。

また、内部レジスタは最大で16ビット幅ですので、CPUのデータバス下位16ビットに配置します。内部レジスタへのアクセスはすべてワードで行って下さい。

アドレス 初期値	RD WR	名称	機 能	ビット割り当て																
				F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
FFFF 0000	RW	MPR0	マップ(MAP0)アドレス設定	アドレス指定(A31-A16)																
FFFF 0004	RW	MPR1	マップ(MAP1)アドレス設定	アドレス指定(A31-A16)																
FFFF 0008	RW	MPR2	マップ(MAP2)アドレス設定	アドレス指定(A31-A16)																
FFFF 000C	RW	MPR3	マップ(MAP3)アドレス設定	アドレス指定(A31-A16)																
FFFF 0010	RW	MPR4	D R A M (RAS0)アドレス設定	アドレス指定(A31-A20)																
FFFF 0014	RW	MPR5	D R A M (RAS1)アドレス設定	アドレス指定(A31-A20)																
FFFF 0018	RW	MPR6	D R A M (RAS2)アドレス設定	アドレス指定(A31-A20)																
FFFF 001C	RW	MPR7	D R A M (RAS3)アドレス設定	アドレス指定(A31-A20)																
FFFF 0020	RW	MPR8	R O M (ROME)アドレス設定	アドレス指定(A31-A16)																
FFFF 0024	RW	MSK0	アドレスのマスク設定 0	MAP3	MAP2	MAP1	MAP0													
FFFF 0028	RW	MSK1	アドレスのマスク設定 1	RAS3	RAS2	RAS1	RAS0													
FFFF 002C	RW	MSK2	アドレスのマスク設定 2													ROME				
FFFF 0030	RW	IRMH	レジスタ(IREG)アドレス設定H	アドレス指定(A31-A16)																
FFFF 0034	RW	IRML	レジスタ(IREG)アドレス設定L	アドレス(A15-A8)																
FFFF 0038	RW	WTR0	アクセスサイクル数設定 0	MAP3	MAP2	MAP1	MAP0													
FFFF 003C	RW	WTR1	アクセスサイクル数設定 1	ROME	REFW	PCW	DRAMW													
FFFF 0040	RW	REFT	リフレッシュタイマー設定													分周比(10bit)				
FFFF 0044	RW	PRDVO	タイマー用プリスケアラ設定													分周比(10bit)				
FFFF 0048	RW	PRDV1	U A R T用プリスケアラ設定													分周比				
FFFF 004C	RW	WDTR	W D T設定	分周比(16bit)																
FFFF 0050	RW	CDEV	タイマー設定	分周比(16bit)																
FFFF 0054	RW	ABT	アボートタイマー設定	分周比(16bit)																
FFFF 0058	RW	TIMR	インターバルタイマー設定	分周比(16bit)																
FFFF 005C	RW	ITR0	割り込み制御設定 0	7	6	5	4	3	2	1	0									
FFFF 0060	RW	ITR1	割り込み制御設定 1	モニター						許可										
FFFF 0064	RW	ITR2	割り込み制御設定 2													許可				
FFFF 0068	RO	ISTS	割り込みステータス	0	0	0	0	0	0	0	0	ステータス								

アドレス 初期値	RD WR	名称	機 能	ビット割り当て															
				F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
FFFF 006C	WO	IRST	割り込みリセット	リセットコマンド															
FFFF 0070	RW	PIOD	入出力ポートデータ	データ															
FFFF 0074	RW	PIOC	入出力ポート制御	設定															
FFFF 0078	RW	ADRR	ROMアドレス出力													設定			
FFFF 007C	-	-	リザーブ	設定禁止															
FFFF 0080 *1	RO	RBR	UART受信バッファデータ	データ															
	WO	THR	UART送信ホールドデータ	データ															
	RW	DLL	UART通信ポーレート設定	設定(LSB)															
FFFF 0084 *1	RW	IER	UART割り込み制御設定	設定															
	RW	DLM	UART通信ポーレート設定	設定(MSB)															
FFFF 0088	RO	IIR	UART割り込みステータス	ステータス															
FFFF 008C	RW	LCR	UARTライン制御設定	設定															
FFFF 0090	RW	MCR	UARTモデム制御設定	設定															
FFFF 0094	RO	LSR	UARTラインステータス	ステータス															
FFFF 0098	RO	MSR	UARTモデムステータス	ステータス															
FFFF 009C	RW	SCR	UART汎用レジスタ	データ															
FFFF 00A0	RW	WDE0	WDT設定0	設定															
FFFF 00A4	WO	WDE1	WDT設定1	設定															
FFFF 00A8	WO	WDRS	WDTリセット	RESET コマンド															
FFFF 00AC	RW	CTRL0	LSI制御レジスタ0	設定															
FFFF 00B0	RW	CTRL1	LSI制御レジスタ1													設定			
FFFF 00B4	RO	STAT	LSIステータス	ステータス															
FFFF 00B8 ? FFFF 00FE	-	-	リザーブ	設定禁止															
FFFF 00FC	RO	VERS	LSI・ID	ID & VERSION															

表6-1 内部レジスタマップ

*1のアドレスでアクセスされるレジスタは、リード/ライトとLCRレジスタのビット7で選択されます。詳細は、6-15・UARTレジスタ説明を参照願います。

6 - 2 . メモリ配置設定

4つのメモリブロック（I/Oを含む）をMAP0～MAP3の領域で設定できます。この領域は最小で64kバイト単位でアクセス可能です。また、CPUの管理可能な4Gバイトの全メモリに割り当てが可能です。この領域はMPR0～3のレジスタとMSK0のレジスタで設定します。

この領域を決定するアドレス(A31～A16)の指定をMPR0～3で行い、この有効範囲をMSK0で設定します。MSK0は各領域毎に4ビットでデコード範囲を設定します。

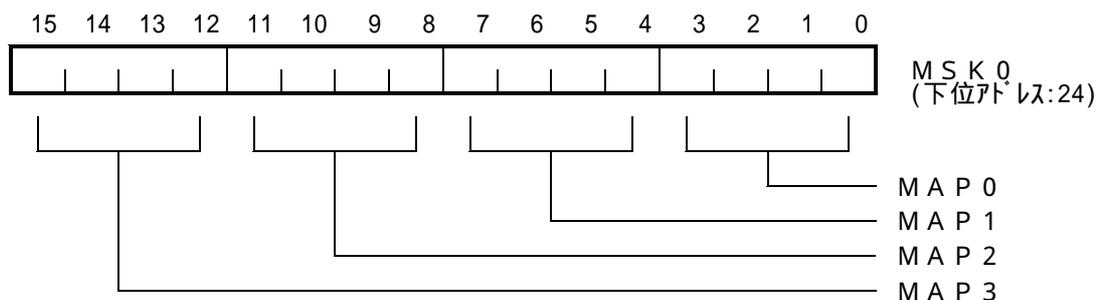


図6 - 1 MSK0レジスタのビット割当

設定	有効アドレス指定															
	3	3	2	2	2	2	2	2	2	2	2	1	1	1	1	1
	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6
0	0	0	0	0												
1	0	0	0	1	デコード有効											
2	0	0	1	0												
3	0	0	1	1												
4	0	1	0	0												
5	0	1	0	1												
6	0	1	1	0												
7	0	1	1	1												
8	1	0	0	0												
9	1	0	0	1												
10	1	0	1	0												
11	1	0	1	1	デコード無効											
12	1	1	0	0												
13	1	1	0	1												
14	1	1	1	0												
15	1	1	1	1												

図6 - 2 MAPのアドレスデコード有効範囲設定

デコードアドレスの指定はMPR0～3で行います。MSK0で設定した無効部分は何を指定しても構いません。

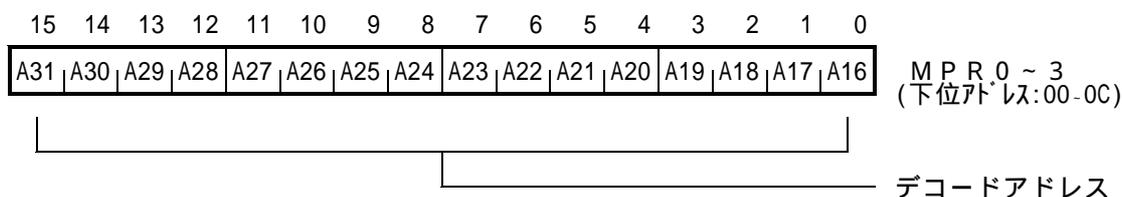


図6-3 MAPのデコードアドレス指定

この設定はMAP0～3で各MAP毎に同じように設定できます。

この指定は後述のLSI制御レジスタ0 (CTRL0)のMAP許可フラグを有効にすることにより、出力ピン (MAP0～MAP3) が各領域のイネーブル信号として使用可能になります。

6-3. ROM領域指定

ROM領域も前述のメモリ領域と同じように指定ができます。設定の方法も同じですが、リセット後にファーストページ (ベクター領域) がROM領域として割り当てられます。ここで指定された領域とこのファーストページ領域 (0000 0000 ~ 0000 FFFF) がROM領域となります。この領域は重なっても構いません。この2つの領域の有効/無効の設定はそれぞれLSI制御レジスタ0 (CTRL0)で行います。リセット時はファーストページ領域は許可になっています。

アドレスコードの有効範囲を設定するレジスタはMSK2です。設定する値による有効範囲は図6-2と同じです。

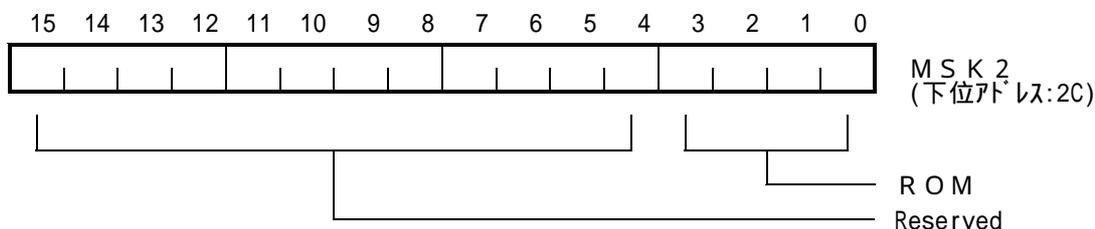


図6-4 MSK2レジスタのビット割当

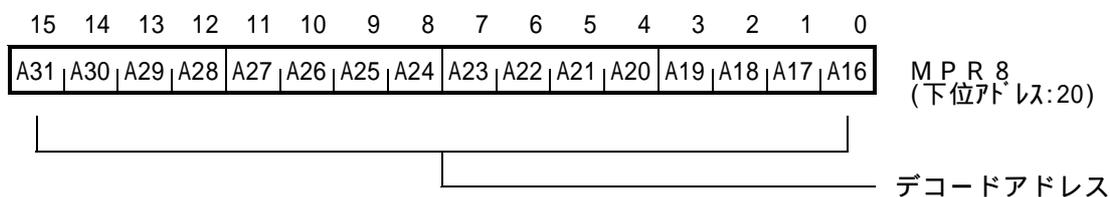


図6-5 ROMのデコードアドレス指定

6 - 4 . D R A M 領域指定

D R A M は 4 つの領域 (バンク) に分割されています。このバンク毎にアドレスデコード設定ができます。従って、異なったサイズの S I M M を使用することができます。

この領域は M P R 4 ~ M P R 7 のレジスタと M S K 1 のレジスタで指定します。D R A M は前述のメモリや R O M と異なって、最小領域は 1 M バイトとなります。アドレスデコード有効領域の指定は M S K 1 で行いますが、設定を 0 ~ 3 とした場合は設定 4 と同じになります。

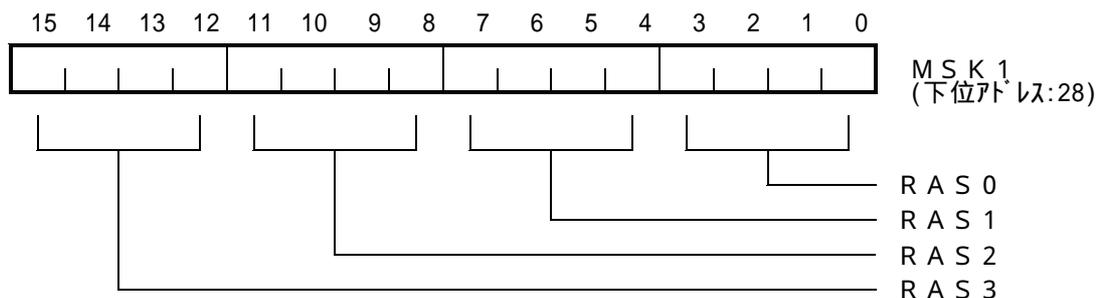


図 6 - 6 M S K 1 レジスタのビット割当

設定	有効アドレス指定																
	3	3	2	2	2	2	2	2	2	2	2	1	1	1	1	1	
	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	
0	0	0	0	0													
1	0	0	0	1	デコード有効												
2	0	0	1	0													
3	0	0	1	1													
4	0	1	0	0													
5	0	1	0	1													
6	0	1	1	0													
7	0	1	1	1													
8	1	0	0	0													
9	1	0	0	1													
10	1	0	1	0													
11	1	0	1	1	デコード無効												
12	1	1	0	0													
13	1	1	0	1													
14	1	1	1	0													
15	1	1	1	1													

図 6 - 7 D R A M のアドレスデコード有効範囲設定

デコードアドレスの設定はMPR3～7で行います。

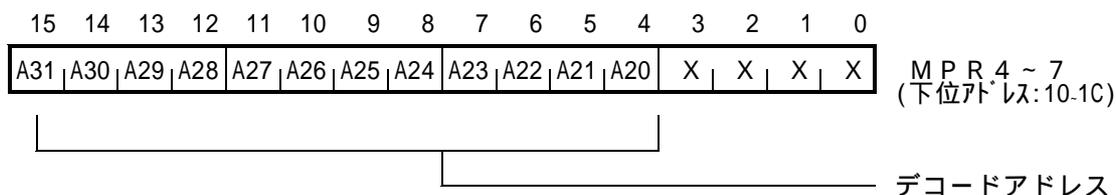


図6-8 DRAMのデコードアドレス指定

DRAMのアドレスは行アドレスと列アドレスの2つに分けてメモリICに接続されます。このLSIでは各種のDRAMやSIMMに接続できるように、CPUアドレスバスと行列アドレスの配置がされています。このメモリアドレスはアドレスデコード設定に関わらず出力されます。

メモリ アドレス	CPUアドレス	
	RA	CA
RA0	A11	A2
RA1	A12	A3
RA2	A13	A4
RA3	A14	A5
RA4	A15	A6
RA5	A16	A7
RA6	A17	A8
RA7	A18	A9
RA8	A19	A10
RA9	A20	A21
RA10	A22	A23
RA11	A24	A25

表6-2 DRAMメモリアドレス配置

使用しているDRAMの動作モードは、次の5つです。

- ・メモリリード
- ・メモリアーリーライト
- ・高速ページメモリリード
- ・高速ページメモリライト
- ・CASビフォアRASリフレッシュ

DRAMのリフレッシュは「CASビフォアRASリフレッシュ」によって行います。リフレッシュサイクルは後述のリフレッシュタイマーによって起動されます。通常は15μSのインターバルでリフレッシュを行うDRAMが多いですが、使用するメモリ素子に合わせて設定できます。

DRAMは同じ容量でもデータ幅やリフレッシュサイクルの仕様が異なるものがあります。リフレッシュサイクルによって行アドレス数と列アドレス数が異なっています。このため使用できないDRAMもありますのでDRAMの仕様をよく確認の上、メモリ素子の指定を行ってください。

DRAMやSIMMについては、アプリケーションノートの9-3. 適合DRAM素子例を参照してください。

6 - 5 . 内部レジスタのアドレス指定

本LSIの内部レジスタの領域も前述のメモリ領域と同じように指定できます。設定の方法も同じですが、リセット直後は表6 - 1の内部レジスタマップに従います。

デコードアドレスの設定はIRMHおよびIRMLで行います。

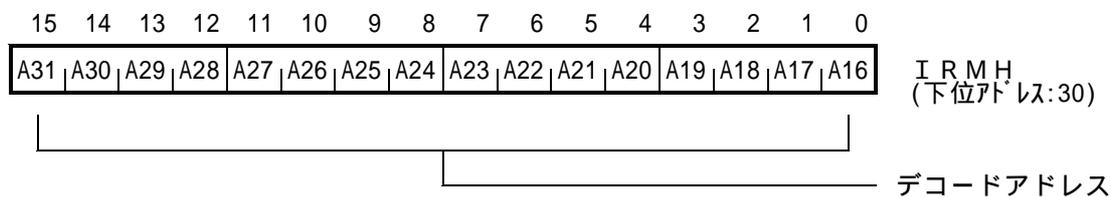


図6 - 9 内部レジスタの上位アドレス設定

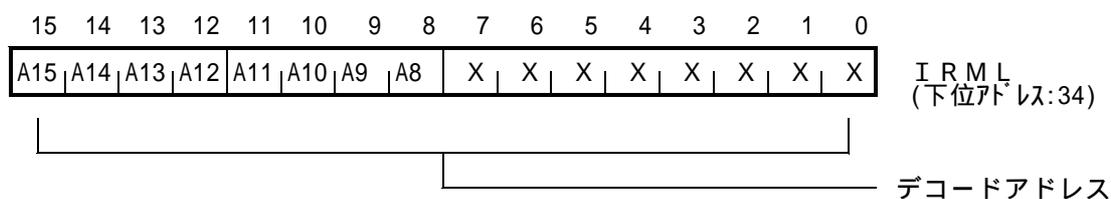


図6 - 10 内部レジスタの下位アドレス設定

このアドレス値はCTRL0で有効/無効の指定をします。

6 - 6 . アクセスサイクル数

CPUがMAP0 ~ 3、ROM領域およびDRAM領域にアクセスを行う場合のアクセスサイクル数を各々設定することができます。この設定は、WTR0およびWTR1のレジスタでおこないます。

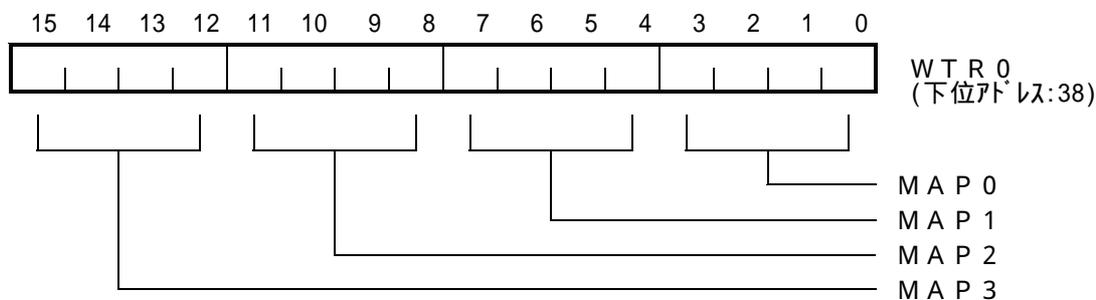


図6 - 11 WTR0レジスタのビット割当

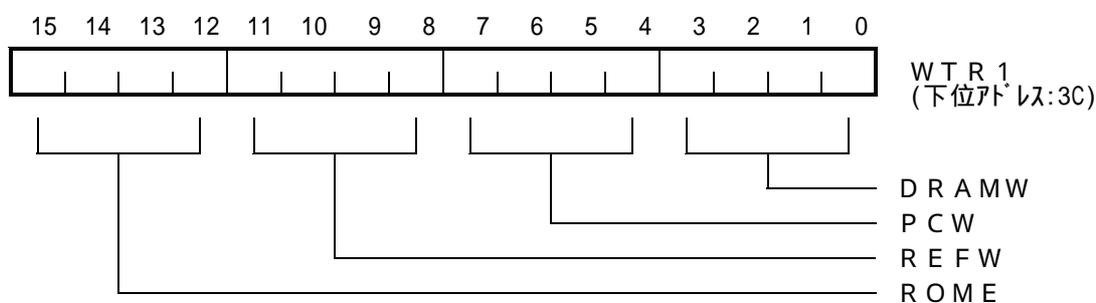


図6 - 12 WTR1レジスタのビット割当

1) ROM、MAP0～3のアクセスタイミング

アクセスサイクル数の設定値と各タイミングの関係を表6-3と図6-13に示します。
 なお、リセット時のROMアクセスサイクル数は7 [Hex] に設定されます。
 また、表6-3の記号説明を以下に示します。

WAIT : 本LSIがCPUに対して出力するWAIT出力数です。

c_y : MCLKの1周期の時間

	設定	動作時間(c_y)																	
		ROM									MAP0～3								
		t_{RL}	t_{RS}	t_{RH}	t_{RHW}	t_{WL}	t_{WS}	t_{WH}	t_{WHW}	WAIT	t_{RL}	t_{RS}	t_{RH}	t_{RHW}	t_{WL}	t_{WS}	t_{WH}	t_{WHW}	WAIT
1	0001	2.0	0	0	0	1	0.5	0.5	0.5	1	1.5	0.5	0	0.5	1	0.5	0.5	0.5	1
2	0010	3.0	0	0	0	2	0.5	0.5	0.5	2	2.5	0.5	0	0.5	2	0.5	0.5	0.5	2
3	0011	4.0	0	0	0	3	0.5	0.5	0.5	3	3.5	0.5	0	0.5	3	0.5	0.5	0.5	3
4	0100	5.0	0	0	0	4	0.5	0.5	0.5	4	4.5	0.5	0	0.5	4	0.5	0.5	0.5	4
5	0101	6.0	0	0	0	5	0.5	0.5	0.5	5	5.5	0.5	0	0.5	5	0.5	0.5	0.5	5
6	0110	7.0	0	0	0	6	0.5	0.5	0.5	6	6.5	0.5	0	0.5	6	0.5	0.5	0.5	6
7	0111	8.0	0	0	0	7	0.5	0.5	0.5	7	7.5	0.5	0	0.5	7	0.5	0.5	0.5	7

表6-3 DRAM以外のアクセスサイクル数設定

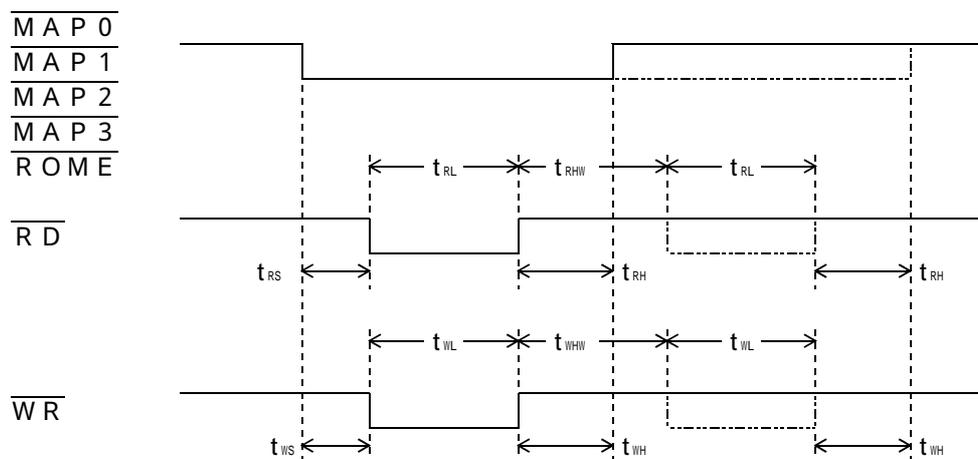
図6-13 各選択信号と \overline{RD} 、 \overline{WR} との関係図

図6-13の----は、シーケンシャルアクセス時の波形を表しています。

2) DRAMにおけるアクセスサイクル数の設定

アクセスサイクル数の設定値と各タイミングの関係を表6-4～表6-6と図6-14～図6-17に示します。

なお、リセット時のDRAMアクセスサイクル数は000 [Hex]に設定されます。
DRAMアクセス数設定の各表に記載の記号説明を以下に示します。

WAIT : 本LSIがCPUに対して出力するWAIT出力数です。

リフレッシュ動作時のWAIT出力数は、DRAMのリード/ライト・アクセスとの競合区間により変動します。

また、プリチャージ時間設定によるWAIT出力数も、DRAMのリード/ライト・アクセスとの競合区間により変動します。

c_y : MCLKの1周期の時間です。

	設定 DRAMW	アクセス	動作時間(c_y)							
			t_{RAS}	t_{RAH}	t_{RL}	t_{R1H}	t_{CAS}	t_{CL}	t_{CAH}	WAIT
0	0000	リード/ライト	0.5	0.5	1.0	0.5	0	0.5	1.0	0
1	0001	リード	0.5	0.5	2.0	0.5	0	1.5	2.0	1
		ライト	0.5	0.5	2.0	0.5	0.5	1.0	1.5	1
2	0010	リード/ライト	0.5	0.5	3.0	0.5	0.5	2.0	2.5	2
3	0011	リード/ライト	0.5	0.5	4.0	0.5	0.5	3.0	3.5	3

表6-4 DRAMアクセスのウエイト設定

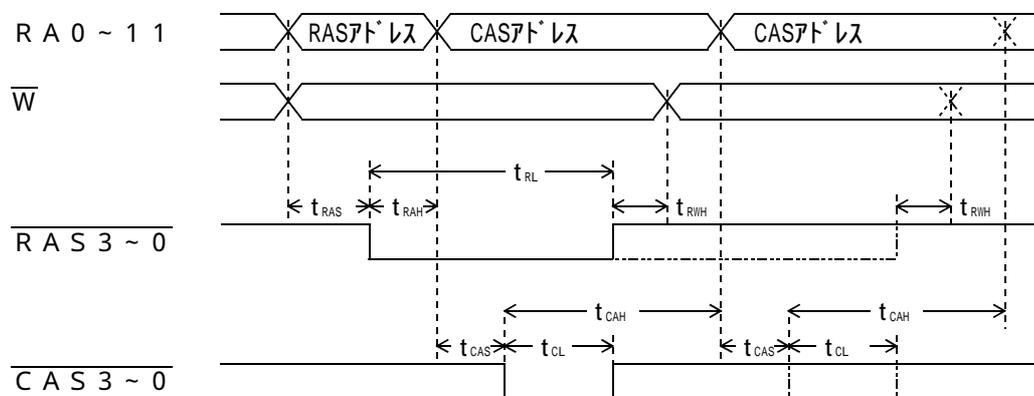


図6-14 DRAMアクセスのタイミング図

図6-14の ---- は、ページモード時の波形を表しています。

	設定 REFW	動作時間 (cY)						
		t _{CWS}	t _{CL}	t _{CWH}	t _{RCS}	t _{RL}	t _{RWH}	WAIT
0	0 0 0 0	0.5	1.0	0.5	0.5	0.5	0.5	0 ~ 2
1	0 0 0 1	0.5	2.0	0.5	1.0	1.0	0.5	0 ~ 3
2	0 0 1 0	0.5	3.0	0.5	1.0	2.0	0.5	0 ~ 4
3	0 0 1 1	0.5	4.0	0.5	1.0	3.0	0.5	0 ~ 5

表 6 - 5 リフレッシュ動作のウエイト設定

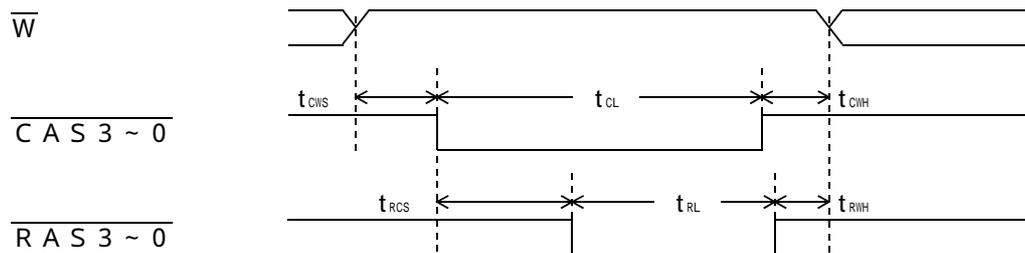


図 6 - 15 リフレッシュ動作のタイミング図

	設定 PCW	動作時間 (cY)		
		t _{RH}	t _{CH}	WAIT
0	0 0 0 0	1.0	1.0	0 ~ 1
1	0 0 0 1	2.0	2.0	0 ~ 2
2	0 0 1 0	3.0	3.0	0 ~ 3
3	0 0 1 1	4.0	4.0	0 ~ 4

表 6 - 6 プリチャージ時間のウエイト設定

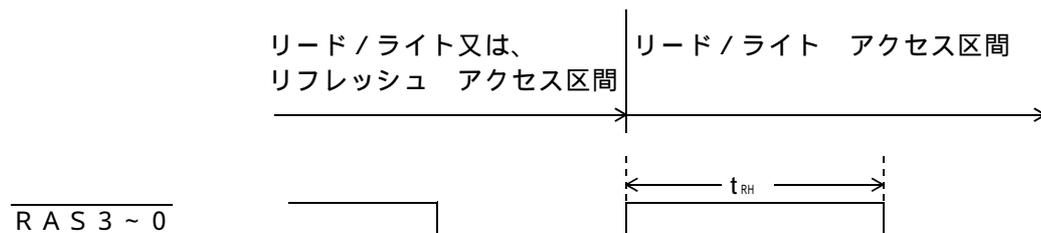


図 6 - 16 プリチャージ時間のタイミング図
(リード/ライト・アクセス)

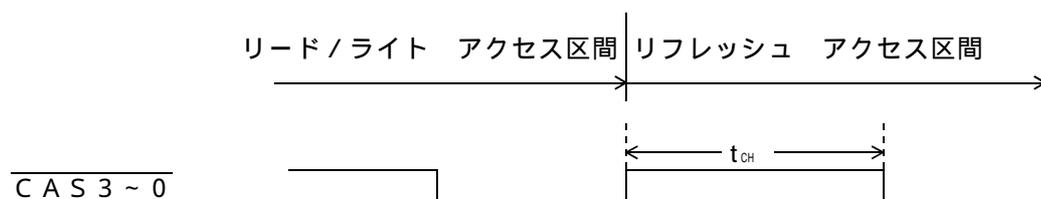


図 6 - 17 プリチャージ時間のタイミング図
(リフレッシュ・アクセス)

6 - 7 . タイマー設定

本LSIの時間に依存する機能は、MCLKを分周した基準クロック（以後ICKと略）を基に動作します。ICKを基に動作する機能には次のものがあります。

- ・ウォッチ・ドッグ・タイマーのタイムアウト時間
- ・タイマー時間
- ・アボートタイマー時間
- ・インターバルタイマーの周期

ICKを生成するために、MCLKの分周比を設定するレジスタはPRDV0です。

1) タイマー用プリスケアラの設定

ICKの周期は、 $(\text{分周比} + 1) \times (\text{MCLKの周期})$ になります。

ただし、分周値を0に設定した場合、ICKは動作しません。

なお、WDT（ウォッチ・ドッグ・タイマー）が許可されていると、

このレジスタの値は変更されません。

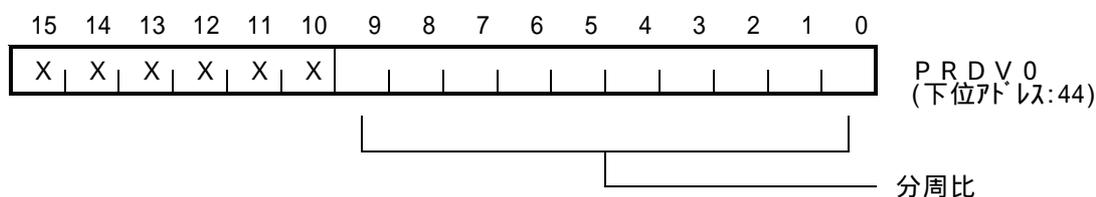


図6 - 18 タイマー用プリスケアラの分周比設定

2) DRAMリフレッシュタイマーの設定

DRAMのリフレッシュの周期はREFTのレジスタに設定します。

また、実際の周期は、 $(\text{分周比} + 1) \times (\text{MCLKの周期})$ になります。

ただし、分周値を0に設定した場合、リフレッシュタイマーは動作しません。

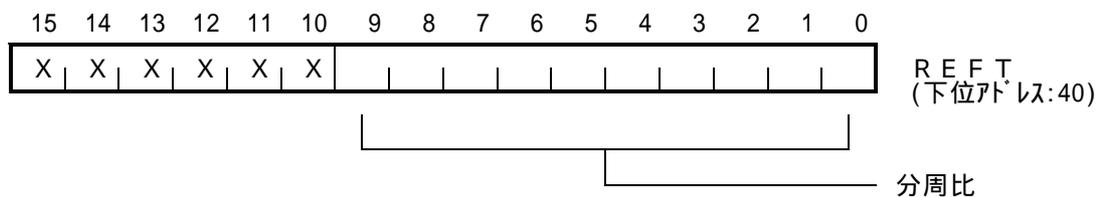


図6 - 19 DRAMリフレッシュの分周比設定

3) ウォッチ・ドッグ・タイマーのタイムアウト時間の設定

ウォッチ・ドッグ・タイマーのタイムアウト時間はWDT Rのレジスタに設定します。
また、実際のタイムアウトまでの時間は、 $(\text{分周比} + 1) \times (\text{ICLKの周期}) \div 2$ になります。

この設定時間以内にWDTリセットを実行しない場合は、RESO出力信号がプリスケアラの1周期の間Lowになります。また、プリスケアラ以外のレジスタはリセットされます。

詳細については、後述のウォッチ・ドッグ・タイマーを参照してください。

ただし、分周値を0に設定した場合、ウォッチドッグタイマーは動作しません。

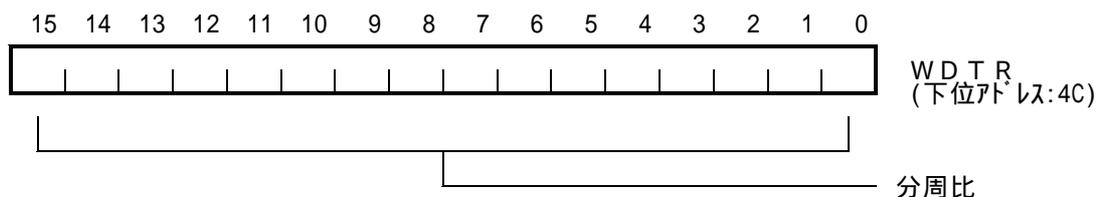


図6 - 20 ウォッチ・ドッグ・タイマーの分周比設定

4) タイマー時間の設定

TIMOUTから出力する周期をCDEVのレジスタに設定します。

実際の周期は、 $(\text{分周比} + 1) \times (\text{ICLKの周期}) \times 2$ になります。

ただし、分周値を0に設定した場合、このタイマーは動作しません。

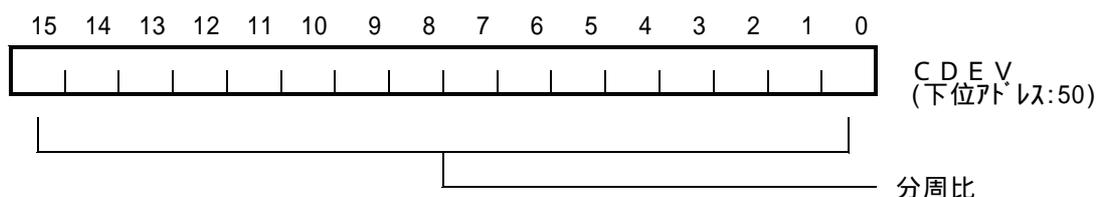


図6 - 21 タイマーの分周比設定

5) アポートタイマー時間の設定

ハンドシェイクタイプのバスサイクルを設定したメモリマップからのACK信号を待つ時間をABTのレジスタに設定します。

実際にアポートが発生するまでの時間は、 $(\text{分周比} + 1) \times (\text{ICLKの周期}) \div 2$ になります。

ただし、分周値を0に設定した場合、このタイマーは動作しません。

ハンドシェイクタイプのバスサイクルの指定はCTRL0レジスタで行います。

詳細については、後述のハンドシェイクを参照してください。

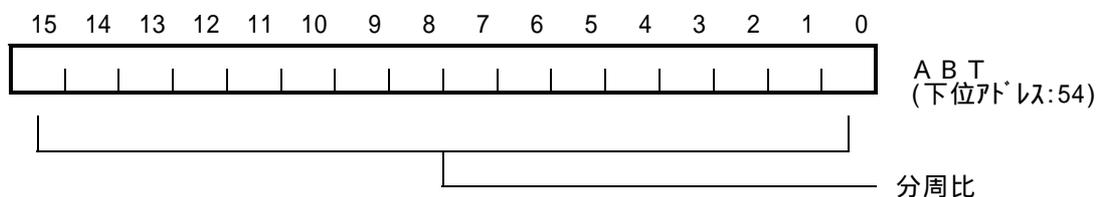


図6 - 22 アポートタイマーの分周比設定

6) インターバルタイマー周期の設定

インターバルタイマーの周期は $T I M R$ のレジスタに設定します。

インターバルタイマーの割り込みが発生する周期は、 $(\text{分周比} + 1) \times (\text{I C L K の周期})$ になります。

ただし、分周値を 0 に設定した場合、このタイマーは動作しません。

また、発生させる割り込みは、後述の割り込み制御設定 2 ($I T R 2$) で行います。

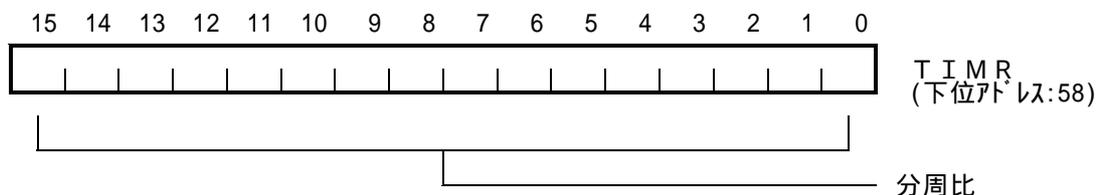


図 6 - 2 3 インターバルタイマーの分周比設定

7) UART用プリスケアラの設定

UART用のプリスケアラを内蔵しており、 $M C L K$ を分周したクロック (以後 $U C L K$ と略) を UART に供給することが可能です。

$U C L K$ の周期は、 $(\text{分周比} + 1) \times (\text{M C L K の周期})$ になります。

ただし、分周値を 0 に設定した場合、 $U C L K$ は動作しません。

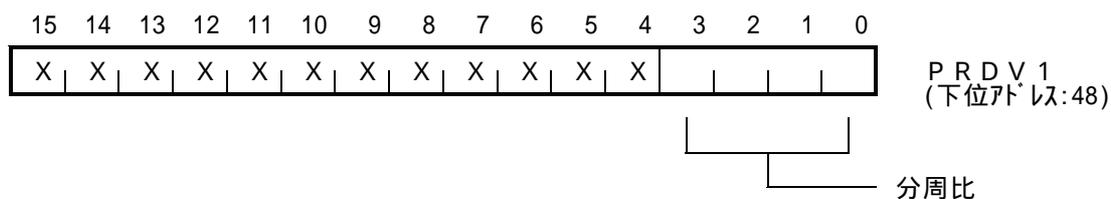


図 6 - 2 4 UART用プリスケアラの分周比設定

なお、UARTの基準クロックは外部入力 $T R C K$ または $U C L K$ の 2 つから選択できます。選択は、後述の $L S I$ 制御レジスタ ($C T R L 1$) の $M O D C$ でおこないます。

6 - 8 . 割り込み制御

割り込みには、8本の割り込み入力 ($\overline{INT0} \sim \overline{INT7}$) によるものと、本LSI内部のタイマ-関連 (タイマ-、インターバルタイマ-) によるものがあります。

また、割り込み発生の状態は、割り込みステータスレジスタ (ISTS) で確認できます。割り込み要因のリセットは、割り込みリセットレジスタ (IRST) で行います。

1) 割り込み入力

INT0 ~ INT7の割り込み要因の発生は、Hレベル、Lレベル、立ち上がりエッジ、立ち下がりエッジから各々独立して選択できます。この設定はITR0レジスタで行い、IRQ信号に対する出力の許可は、ITR1レジスタの下位バイトで行います。

また、割り込み入力端子の状態は、要因の発生やIRQ出力の許可に関わらずITR1の上位バイトで読み出すことが可能です。

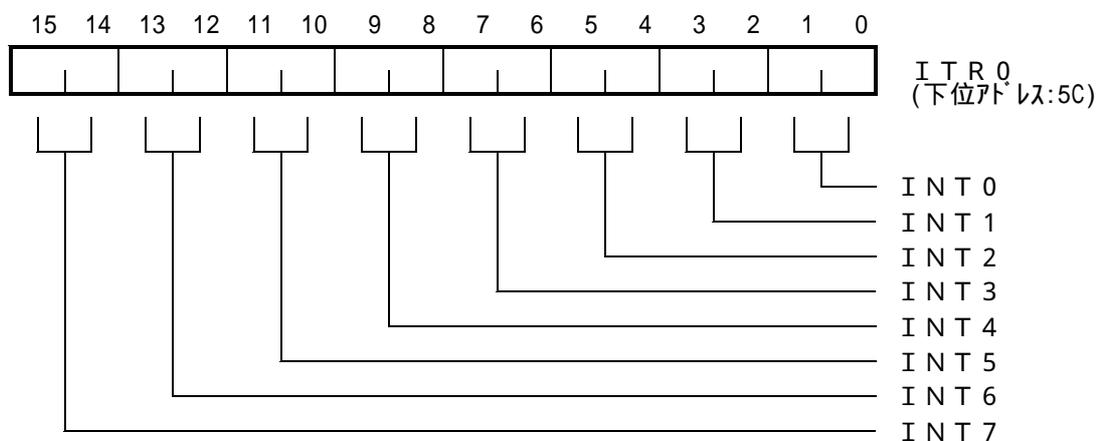


図6 - 25 割り込み入力要因のビット割当

	設定	割り込み要因の検出
0	00	Highレベル
1	01	Lowレベル
2	10	立ち上がりエッジ
3	11	立ち下がりエッジ

表6 - 7 割り込み要因の検出条件設定

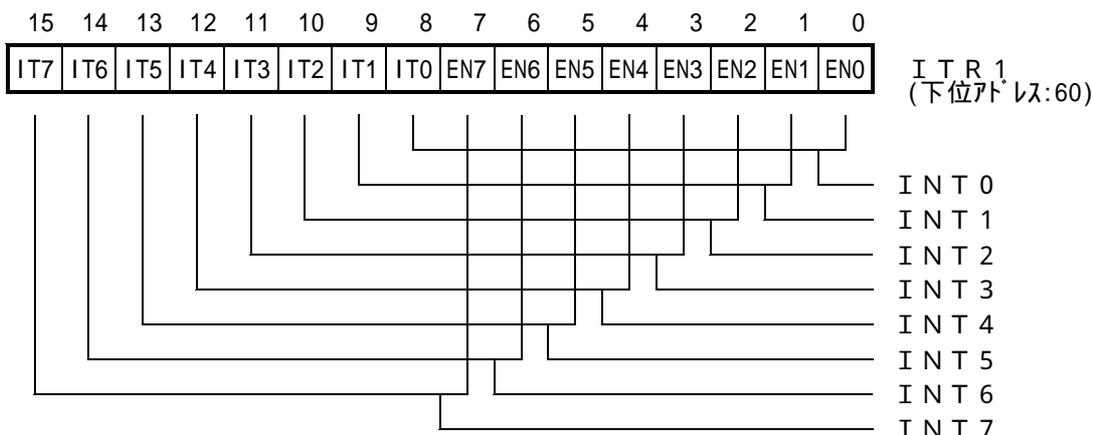


図 6 - 2 6 割り込みの許可と状態のビット割当

	EN	IRQ出力の許可
0	0	出力しない
1	1	出力許可

表 6 - 8 IRQ出力許可設定

	IT	入力端子の状態
0	0	Low
1	1	High

表 6 - 9 INT入力端子の状態

ITR1レジスタの上位バイトは、読み出しのみですので、書き込まれたデータは意味を持ちません。

2) インターバルタイマーの割り込み設定

インターバルタイマー (TIMR) の割り込みの設定を ITR2 で行います。

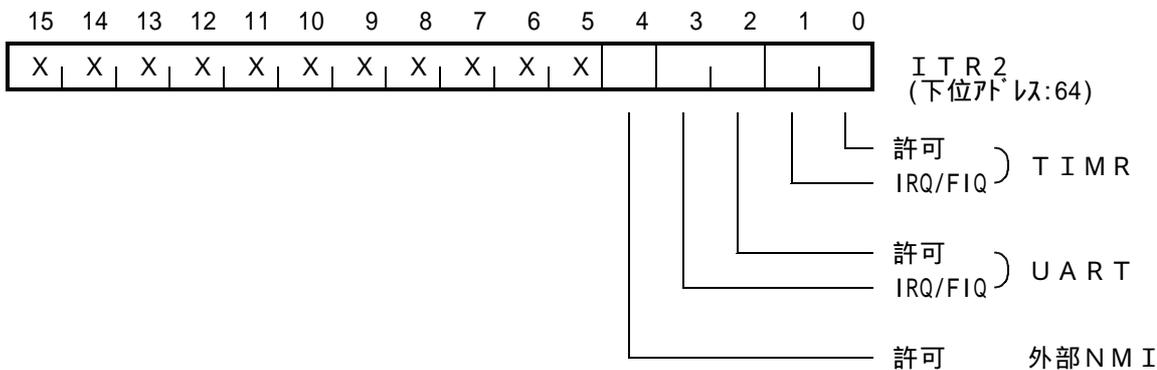


図 6 - 2 7 インターバルタイマーの割り込み設定

	設定	許可
0	0	出力しない
1	1	出力許可

表 6 - 1 0 割込出力許可設定

	設定	IRQ/FIQ
0	0	IRQを使用する
1	1	FIQを使用する

表 6 - 1 1 出力端子設定

3) 割り込みステータス

発生している割り込み要因を確認するためのレジスタがISTSです。

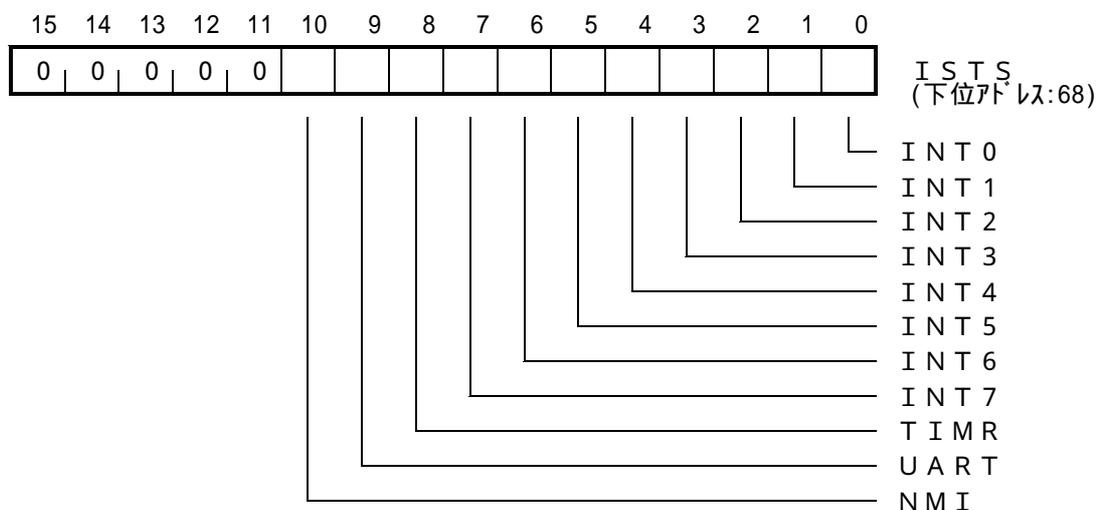


図6 - 2 8 割り込み要因のステータス・ビット割当

	値	割り込み発生
0	0	発生していない
1	1	発生している

表6 - 1 2 割り込み発生状態

4) 割り込みリセット

発生している割り込み要因をリセットするためのレジスタがIRSTです。

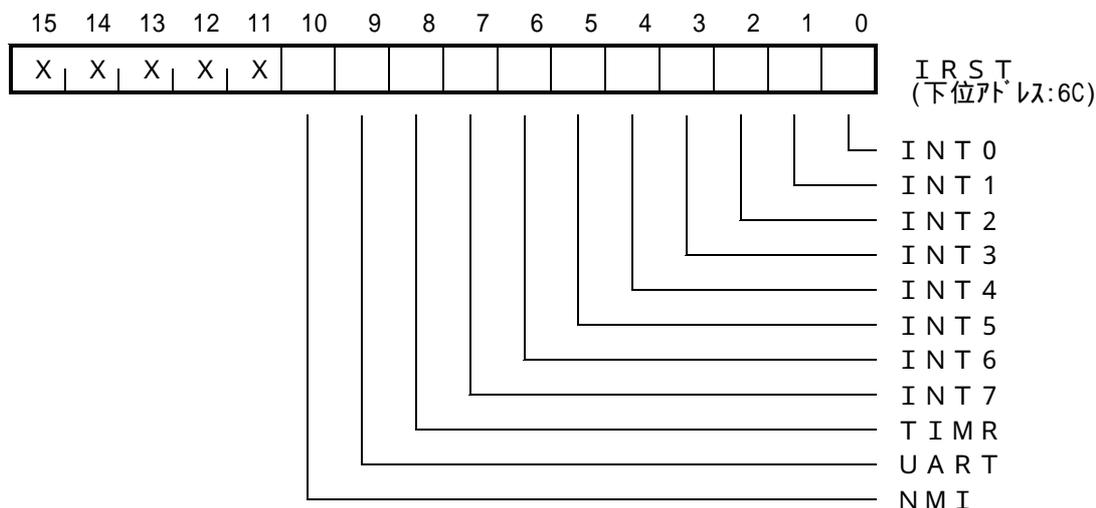


図6 - 2 9 割り込みリセットのビット割当

	設定	リセット動作
0	0	ノー・オペレーション
1	1	リセット実行

表6 - 1 3 割り込みリセット指定

6 - 9 . P I O の設定

レジスタ P I O C により汎用入出力ポート (P O R T 0 ~ P O R T 7) を入力として使用するか、または出力として使用するかを設定します。

入力データまたは出力データは、P I O D で読み出すことができます。

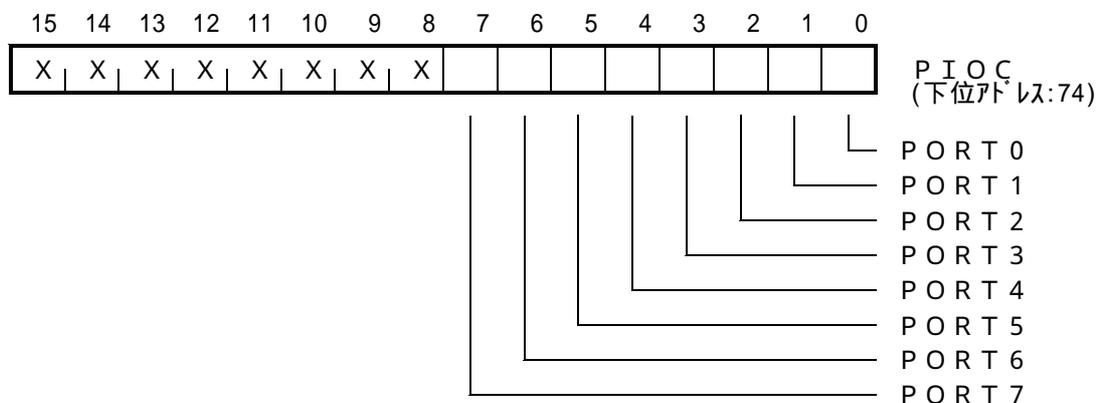


図 6 - 3 0 入出力設定のビット割当

	設定	入出力
0	0	入力
1	1	出力

表 6 - 1 4 入出力設定

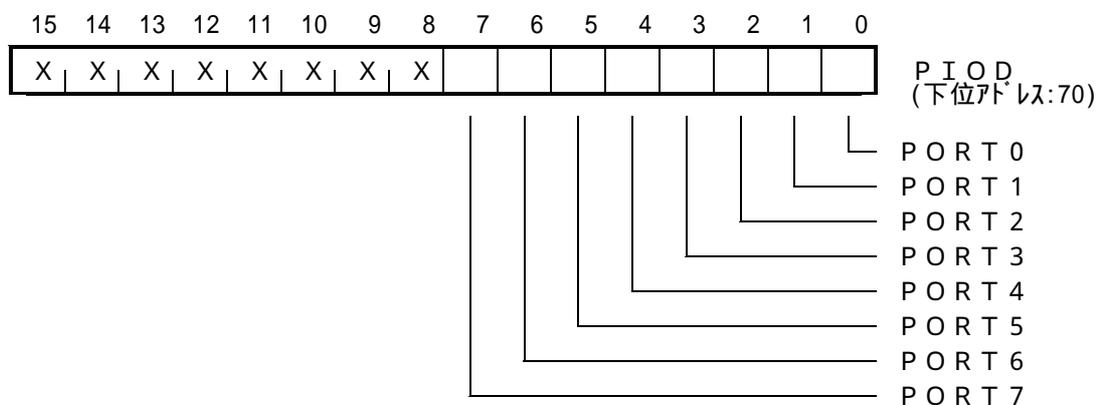


図 6 - 3 1 入出力データのビット割当

	書き込みデータ	P O R T 端子
0	0	Low
1	1	High

表 6 - 1 5 書き込みデータ指定

	読み出しデータ	P O R T 端子
0	0	Low
1	1	High

表 6 - 1 6 読み出しデータ値

P O R T 端子を入力に設定した場合は、書き込みデータは意味を持ちません。

6 - 10 . L S I 制御レジスタ

本 L S I の制御を行うレジスタが CTRL0、CTRL1 です。

1) 前述の各メモリ領域の有効、無効を設定するための制御レジスタが CTRL0 です。

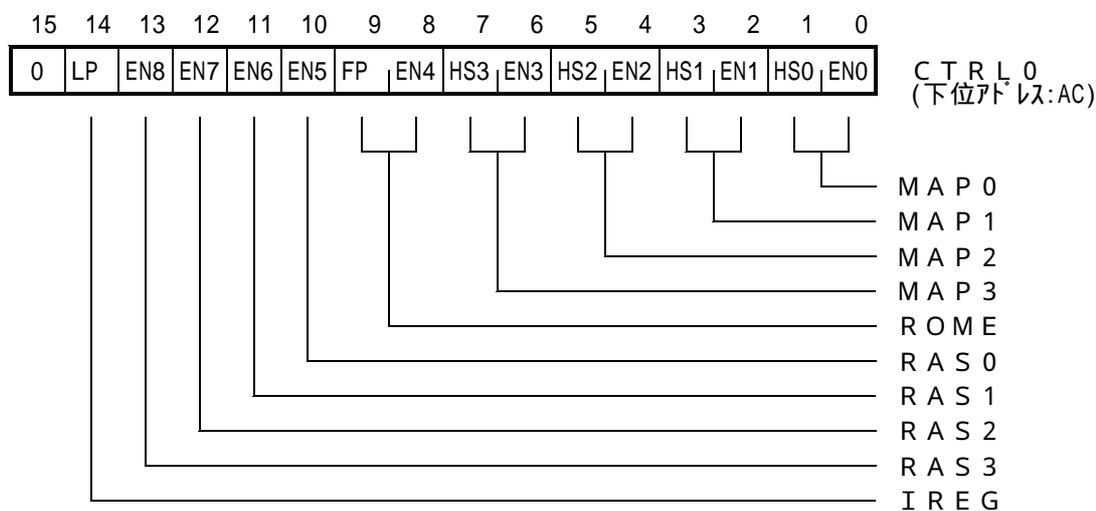


図 6 - 32 CTRL0 レジスタのビット割当

メモリ領域の設定

MAP0 ~ 4、ROM および RAS0 ~ 3 のアドレス指定 (MPR0 ~ 8) の有効 / 無効は、ビット 0、2、4、6、8、10 ~ 13 で行います。

また、ハンドシェイクバス指定は、ビット 1、3、5、7 で行います。

	EN	アドレス指定
0	0	無効
1	1	有効

表 6 - 17 アドレス設定

	HS	ハンドシェイクバス
0	0	ハンドシェイク無効
1	1	ハンドシェイク有効

表 6 - 18 ハンドシェイク設定

ROME の設定

ファーストページの ROM 領域の有効 / 無効はビット 9 で設定します。

	FP	ファーストページ
0	0	無効
1	1	有効

表 6 - 19 ファーストページ設定

IREG の設定

ビット 14 は、本 L S I のアドレスをレジスタ (IREG) アドレスで設定した値に切り替える場合に使用します。

	LP	アドレスの切り替え動作
0	0	ノー・オペレーション
1	1	実行

表 6 - 20 IREG アドレス切替

2) タイマー関連の許可等を設定したり、UARTのクロックを選択するための制御レジスタがCTRL1です。

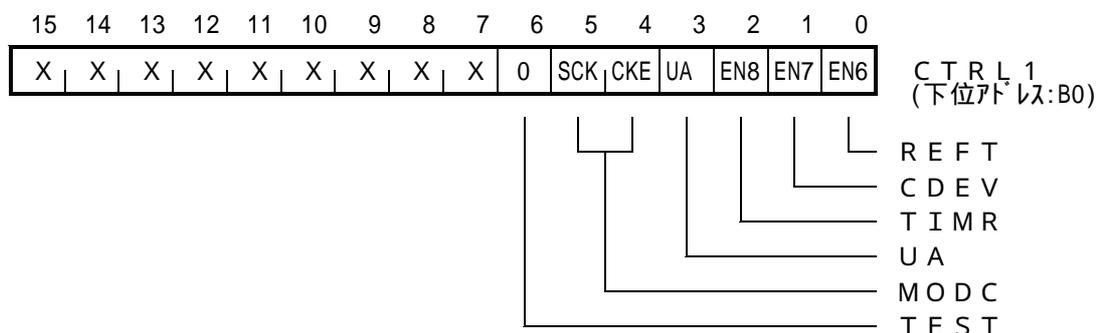


図6-33 CTRL1レジスタのビット割当

タイマー関連の許可

リフレッシュタイマー、タイマー、インターバルタイマーの動作を許可、禁止します。

	EN	動作
0	0	禁止
1	1	許可

表6-21 タイマー許可設定

未定義領域へのアクセスによるアボート

本LSIで指定された、内部レジスタ、MAP0~3、DRAM、ROM以外のメモリ空間に、対してCPUがアクセスを行った場合、ABORTを出力することが可能です。

	UA	未定義領域へのアクセス時
0	0	ABORTを出力しない
1	1	ABORTを出力する

表6-22 ABORT許可設定

MODCの設定

UARTのクロックを選択します。

初期設定時は、D5ビットでクロック選択を行ってから、D4ビットでクロックを動作させてください。

クロックを変更する際は次の操作を行って下さい。

- ・D4ビットでクロックを停止し、LSIステータス(STAT)のD6ビットでクロック切り替え可能状態であることを確認する。
- ・D5ビットでクロックを切り替えて、再度D4ビットでクロックを動作させてください。

なお、この場合は、UART用プリスケアラおよびTRCKが動作していることが必要です。

	SCK(D5)	クロック選択
0	0	内部CLK
1	1	外部TRCK

表6-23 クロック選択

	CKE(D4)	クロック
0	0	クロック停止
1	1	クロック動作

表6-24 クロック動作

テストビット

コントロールレジスタ2のD6ビットはテスト用ですので、かならずLowにして下さい。このビットをHighに設定された場合、本LSIの動作保証はされません。

6 - 1 1 . ハンドシェーク

L S I 制御レジスタ (C T R L 0) で、ハンドシェークを有効に設定してあるメモリ領域に C P U がアクセスを行うと、タイマーが起動します。C D E V レジスタで設定された時間までに、A C K 信号が L o w にならないと C P U に対して A B O R T 信号を出力します。

A C K 信号の受付は、W A I T 信号が L o w になってから、2 回目の M C L K の立ち上がりから開始されます。この状態を図 6 - 3 4 に示します。

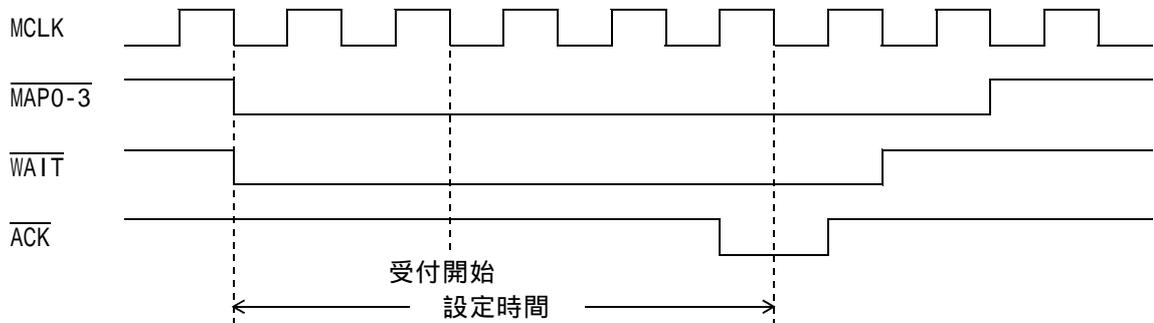


図 6 - 3 4 ハンドシェークのタイミング

なお、どのメモリ領域でアボートしたかは L S I ステータスレジスタ (S T A T) で確認できます。

6 - 1 2 . ウォッチ・ドッグ・タイマー

1) ウォッチ・ドッグ・タイマーの制御

動作開始

まず、W D T レジスタ (W D T R) に必要な値 (時間) を設定します。その後、W D T 許可設定 0 (W D E 0) で、許可データを書き込むと、ウォッチ・ドッグ・タイマーがカウント動作を開始します。

ウォッチ・ドッグ

動作開始以降、W D T R で設定された時間以内に W D R S に所定のデータを書き込む動作を繰り返す必要があります。

タイムアップ

W D T R で設定された時間以内に W D R S に所定のデータが書き込まれない場合は、R E S O 信号が L o w になります。

この L o w の時間は最低 I C L K の 1 周期分出力され、本 L S I 内部のレジスタに関してはプリスケラ以外のレジスタはリセットされます。

動作禁止

ウォッチ・ドッグ・タイマーを禁止する場合は、W D T 設定 0 (W D E 0) に禁止データ 1 を書き込んだ後、続けて W D T 設定 1 (W D E 1) に禁止データ 2 を書き込む必要があります。

2) ウォッチ・ドッグ・タイマーのコマンド

W D T 設定 0

・許可データ (書込)

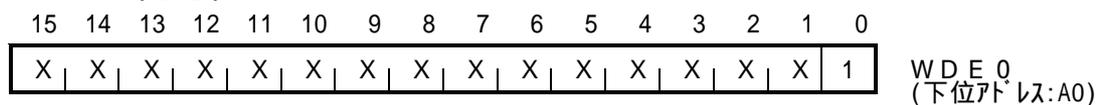
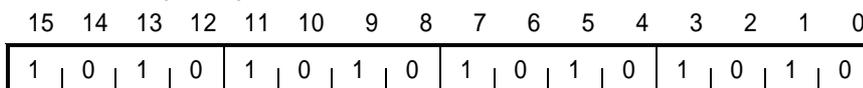


図 6 - 3 5 ウォッチ・ドッグ・タイマー動作開始コマンド

・禁止データ1 (書込)

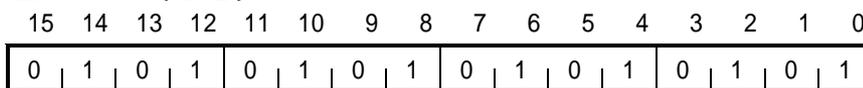


WDE0
(下位アドレス:A0)

図6-36 ウォッチ・ドッグ・タイマー禁止コマンド1

WDT設定1

・禁止データ2 (書込)

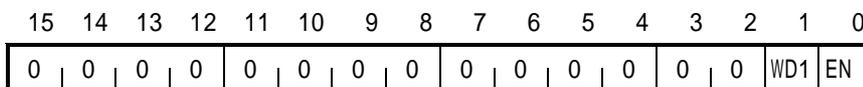


WDE1
(下位アドレス:A4)

図6-37 ウォッチ・ドッグ・タイマー禁止コマンド2

WDT設定0

・許可データ (読み出し)



WDE0
(下位アドレス:A0)

図6-38 ウォッチ・ドッグ・タイマーのビット割当

	EN	動作
0	0	禁止
1	1	許可

表6-25 動作許可設定

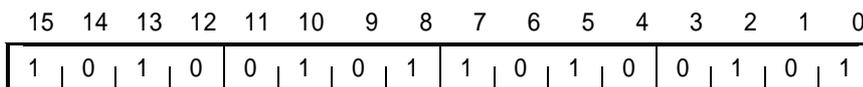
	WD1	禁止データ1
0	0	書込動作なし
1	1	書込動作あり

表6-26 書き込み動作

WD1はWDT設定1にデータを書き込む際にリセット(0)されます。

WDTリセット

・リセットデータ (書込のみ)

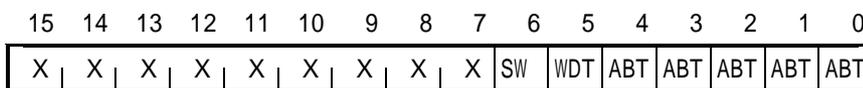


WDRS
(下位アドレス:A8)

図6-39 ウォッチ・ドッグ・タイマーのリセットコマンド

6-13. LSIステータスレジスタ

アボートが発生したメモリ領域を確認するためのレジスタがSTATです。このレジスタを読み出すことにより、データはリセットされます。



STAT
(下位アドレス:B4)



図6-40 LSIステータスレジスタ・ビット割当

	ABT	アボートの状態
0	0	発生していない
1	1	アボート発生

表 6 - 2 7 アボート発生状態

	WDT	WDTのタイムアップ
0	0	発生していない
1	1	発生した

表 6 - 2 8 WDTタイムアップ発生状態

	SW	UARTのクロック切り替え
0	0	可能
1	1	禁止

表 6 - 2 9 UARTクロック切替許可状態

ABTおよびWDTはシステムリセットか、LSIステータスレジスタを読み出すことによりリセット(0)されます。(ウォッチ・ドッグ・タイマーのタイムアップでは、リセットされません)

6 - 14 . U A R T 機能概要

U A R T はプログラム可能な送信回路とボーレート発生回路が内蔵されています。

受信回路はスタート・ビット、データ・ビット、ストップ・ビット、パリティ・ビットを含むシリアル・データをパラレル・データに変換します。送信回路は、パラレル・データをシリアル・データに変換し、スタート・ビット、パリティ・ビット、ストップ・ビットを付加します。

ワード長は5、6、7、8ビットのデータ・ビットをプログラムできます。ストップ・ビット長は1、1.5、2ビットのいずれかを選択できます。

U A R T にはプログラム可能な分周回路によって入力クロック周波数を $1 \sim 2^{16} - 1$ に分周できます。また、モデム・コントロール信号 (R T S 、 C T S 、 D S R 、 D T R 、 R I 、 D C D) も用意されています。

6 - 15 . U A R T レジスタ説明

U A R T を動作させるための内部レジスタには、大きくわけて制御レジスタ、ステータス・レジスタ、データ・レジスタの3種類があります。制御レジスタには、ボーレート選択レジスタ (D L L 、 D L M) 、ライン制御レジスタ (L C R) 、割り込み許可レジスタ (I E R) 、モデム制御レジスタ (M C R) があります。ステータス・レジスタにはライン・ステータス・レジスタ (L S R) 、モデム・ステータス・レジスタ (M S R) があります。データ・レジスタには、受信バッファ・レジスタ (R B R) 、送信ホールド・レジスタ (T H R) があります。R B R レジスタ、T H R レジスタ、D L L レジスタおよび、D L M レジスタ、I E R レジスタは同一アドレスに配置されています。上記レジスタを選択する際には、リード・ライト・アドレス信号とともに L C R [7] ビット (D L A B) を使用します。

送信バッファ・レジスタと受信バッファ・レジスタは、5 ~ 8 ビットのデータを格納するデータ・レジスタです。8 ビット未満のデータが送信される時には、データは右詰め (ビット0が L S B) にされ上位ビットには0が格納されます。シリアル・データの送受信の最初のデータは、いつもビット0です。U A R T のデータ・レジスタは二重バッファ構造になっており、送受信中にリード/ライト動作が可能です。この二重バッファの外部側レジスタ名は、送信側が T S R レジスタ、受信側が R S R レジスタです。

略号	レジスタ名(記号)	DLAB	A4	A3	A2	アドレス
R B R	受信バッファ・レジスタ(読み出し専用)	0	0	0	0	(FFFF 0080)
T H R	送信ホールド・レジスタ(書き込み専用)	0	0	0	0	(FFFF 0080)
I E R	割り込み許可レジスタ	0	0	0	1	(FFFF 0084)
I I R	割り込み設定レジスタ	X	0	1	0	(FFFF 0088)
L C R	ライン制御レジスタ	X	0	1	1	(FFFF 008C)
M C R	モデム制御レジスタ	X	1	0	0	(FFFF 0090)
L S R	ライン・ステータス・レジスタ	X	1	0	1	(FFFF 0094)
M S R	モデム・ステータス・レジスタ	X	1	1	0	(FFFF 0098)
S C R	スクラッチ・レジスタ	X	1	1	1	(FFFF 009C)
D L L	ボーレート選択レジスタ(下位: LSB)	1	0	0	0	(FFFF 0080)
D L M	ボーレート選択レジスタ(上位: MSB)	1	0	0	1	(FFFF 0084)

表 6 - 3 0 U A R T レジスタ一覧 1

D L A B は、ライン制御レジスタ (L C R) の D 7 ビットに書き込んで設定します。

略号	レジスタ・ビット番号							
	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
RBR	データ・ビット7 (MSB)	データ・ビット6	データ・ビット5	データ・ビット4	データ・ビット3	データ・ビット2	データ・ビット1	データ・ビット0 (LSB)
THR	データ・ビット7	データ・ビット6	データ・ビット5	データ・ビット4	データ・ビット3	データ・ビット2	データ・ビット1	データ・ビット0
DLL	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
DLM	ビット15	ビット14	ビット13	ビット12	ビット11	ビット10	ビット9	ビット8
IER	0	0	0	0	EDSSI (モデム・ステータス割り込み許可)	ELSI (受信ライン・ステータス割り込み許可)	ETBEI (送信ホールド・レジスタ・エンプティ割り込み許可)	ERBFI (受信データ・レディ割り込み許可)
IIR	0	0	0	0	0	割り込み設定ビット1	割り込み設定ビット0	0:保留中の割り込み有
LCR	DLAB (分周ラッチ・アクセス・ビット)	BST ブレーク・セット	STP 強制パリティ	EPS (偶数パリティ選択)	PEN (奇数パリティ選択)	STB (ストップ・ビット長)	WLSB1 (データ長選択ビット1)	WLSB2 (データ長選択ビット2)
MCR	0	0	0	LOOP	OUT2	OUT1	RST (送信要求)	DTR (データ・ターミナル・レディ)
LSR	0	TEMT (送信レジスタ・エンプティ)	THRE (送信ホールド・レジスタ・エンプティ)	BI (ブレーク割り込み)	FE (フレーミング・エラー)	PE (パリティ・エラー)	OE (オーバーラン・エラー)	DR (データ・レディ)
MSR	DCD (データ・キャリア検出)	RI (発呼インジケータ)	DSR (データ・ビット・レディ)	CTS (送信クリア)	DDCD (DCD変化)	TERI (RI開始)	DDSR (DSR変化)	DCTS (CTS変化)
SCR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0

表 6 - 3 1 U A R T レジスタ一覧 2

1) ライン制御レジスタ (LCR)

LCRレジスタはデータ・キャラクタのフォーマットおよびブ레이크動作の制御を行います。

ビット	項目(記号)	値	機能	
D 7	分周ラッチ・アクセス・ビット(DLAB)	0	RBRレジスタ、THRレジスタあるいはIERレジスタをアクセスする。	
		1	DLLレジスタあるいはDLMレジスタをアクセスする。	
D 6	ブ레이크動作の制御(BST)	0	ブ레이크動作を行わない。	
		1	ブ레이크動作を行う。SOUT信号は0になる。	
D 5	強制パリティの制御(STP)	0	強制パリティを使用しない。	
		1	パリティがイネーブルの時、LCR[4]が0ならばパリティの値が1になり、LCR[4]が1ならばパリティの値は0になる。	
D 4	パリティの形式(EPS)	0	奇数パリティを使用する。	
		1	偶数パリティを使用する。	
D 3	パリティの制御(PNE)	0	パリティ・ディセーブル	
		1	パリティ・イネーブル	
D 2	ストップビット長の設定(STB)	0	1ストップ・ビット。	
		1	データ長5ビットの時1.5ストップビット、データ長6、7、8ビットのとき2ストップビット。	
D 1	データ長の設定 (WLS1) (WLS0)	D 1	D 0	
D 0		0	0	データ長5ビット。
		0	1	データ長6ビット。
		1	0	データ長7ビット。
		1	1	データ長8ビット。

表 6 - 3 2 ライン制御レジスタ

- ・ LCR[2] : 受信回路は1ストップ・ビットだけをチェックします。
- ・ LCR[3] : 1の時、キャラクタ・データの最終データ・ビットとストップ・ビットの間のパリティ・ビットが送信され、チェックされます。
- ・ LCR[6] : ブ레이크制御ビットはSOUT信号にのみ効果があり、送信回路には影響しません。以下の手順を行うことで、ブ레이크動作のために誤ったキャラクタあるいは無関係のキャラクタは送信されません。
 - (1) THRE (LSR[5]) ビットが1の時にTHRレジスタの全てのデータ・ビットに0を書き込みます。
 - (2) THRE (LSR[5]) ビットが0になると、BST (LCR[6]) ビットを1にセットします。
 - (3) 送信レジスタに送信中のデータがなくなって (LSR[6] ビット = 1) から、次の送信データがリストアされた時にブ레이크動作を解除します。

2) ライン・ステータス・レジスタ (LSR)

割り込みレベルのチェックおよび送受信に関するステータスをチェックするために、CPUによって読み出される最初のレジスタです。LSRレジスタを読み出すと、LSR[1]~LSR[4]はクリアされます。またLSR[1]~LSR[4]はエラー状態のいずれかが検出されると、受信ライン・ステータス割り込み (IIRレジスタの優先順位1の割り込み)が発生するエラー状態を示すビットです。この割り込みはIER[2]=1にすることでイネーブルになります。

ビット	項目(記号)	値	機能
D 7	未定義ビット	0	常に0固定
D 6	送信レジスタ状況(TEMT)	0	送信レジスタに送信中のデータがある。
		1	送信レジスタに送信中のデータがない。
D 5	送信ホールド・レジスタ状況 (THRE)	0	送信ホールド・レジスタに未送信のデータがある。
		1	送信ホールド・レジスタに未送信のデータがない。
D 4	ブ레이크信号の受信(BI)	0	ブ레이크信号は受信されていない。
		1	ブ레이크信号が受信されている。
D 3	フレーミング・エラーの検出 (FE)	0	エラーなし。
		1	エラーあり。
D 2	パリティ・エラーの検出(PE)	0	エラーなし。
		1	エラーあり。
D 1	オーバーラン・エラーの検出 (OE)	0	エラーなし。
		1	エラーあり。
D 0	受信状況(DR)	0	受信データなし。
		1	受信データあり。

表6-33 ライン・ステータス・レジスタ

- ・ LSR[0] : RBRレジスタへの受信データの転送が完了すると1にセットされます。またCPUがRBRレジスタの内容を読み出すと0にリセットされます。
- ・ LSR[1] : RBRレジスタの内容がCPUによって読み出されていない状態で、次のRSRレジスタのデータがRBRレジスタに転送され、元のデータが上書きされた場合、1にセットされます。
- ・ LSR[2] : 受信データがEPS(LCR[4])ビットで設定されたパリティを持っていない場合に1にセットされます。
- ・ LSR[3] : 最後のデータ・ビット(MSB)またはパリティ・ビットに続くストップ・ビットが0として検出されると1にセットされます。
- ・ LSR[4] : 受信データが送信時間(スタート・ビット+データビット+パリティ・ビット+ストップビット)以上0に保持されている時に、1にセットされます。
- ・ LSR[5] : THRレジスタからTSRレジスタへデータが転送されると1にセットされ、次の送信データの準備が出来ていることを示します。CPUがTHRレジスタをロードすると0にリセットされます。CPUがLSRレジスタを読み出してもリセットされません。送信ホールド・レジスタエンブティ割り込みがイネーブルの時(IER[1]=1)に、このビットが1ならばIIRレジスタの優先順位3の割り込みを行います。
- ・ LSR[6] : THRレジスタおよびTSRレジスタがともに空である時、1にセットされます。データがTHRレジスタにロードされると0にリセットされ、SOUT信号の送信が完了するまで0を保持します。CPUがLSRレジスタを読み出してもリセットされません。

3) モデム制御レジスタ (MCR)

モデムまたはデータ・セットとのインタフェースを制御します。このレジスタは書き込み、読み出し可能です。MCR[0]~MCR[3]でDTR信号、RTS信号を直接制御します。

なお、本LSIではOUT1信号とOUT2信号の出力端子はサポートされていません。これらは、MCL[2]とMCL[3]のローカル・ループバックでのみ使用可能です。

ビット	項目(記号)	値	機能
D7	固定ビット	0	常に0固定して下さい。
D6	固定ビット	0	常に0固定して下さい。
D5	固定ビット	0	常に0固定して下さい。
D4	ローカル・ループバックの実施	0	ローカル・ループバックを実施しない。
		1	ローカル・ループバックを実施する。
D3	OUT2の制御	0	OUT2信号が非アクティブ(High)にセットされる。
		1	OUT2信号がアクティブ(Low)にセットされる。
D2	OUT1の制御	0	OUT1信号が非アクティブ(High)にセットされる。
		1	OUT1信号がアクティブ(Low)にセットされる。
D1	RTS信号の制御	0	RTS信号が非アクティブ(High)にセットされる。
		1	RTS信号がアクティブ(Low)にセットされる。
D0	DTR信号の制御	0	DTR信号が非アクティブ(High)にセットされる。
		1	DTR信号がアクティブ(Low)にセットされる。

表6-34 モデム制御レジスタ

- ・MCR[4]: UARTを検査するため、ローカル・ループバックを行います。1の時、SOUT信号は1にセットされSIN信号は切り離されます。TSRレジスタの出力はRSRレジスタの入力にループ・バックされます。4本のモデム制御入力信号(CTS、DSR、DCD、RI)は切り離されます。また4本のモデム制御出力信号(DTR、RTS、OUT1、OUT2)は、4本のモデム制御入力にUART内部で接続され、出力端子のある(DTR、RTS)は強制的に非アクティブ(High)になります。このモードでは送信されたデータはただちに受信されるため、CPUはUARTの送受信データパスを検証することができます。またこのモードでのモデムステータス割り込みの割り込み要因は4本のモデム制御入力信号の代わりにMCRレジスタの下位4ビットとなります。割り込みはIERレジスタで制御されます。

4) モデム・ステータス・レジスタ (MSR)

モデムまたは周辺デバイスからのモデム入力信号の状態を保持しています。このレジスタを読み出すことで、CPUはUARTに接続されているモデムや周辺デバイスの状態を知ることができます。MSRレジスタのうちの4ビット(MSR[3]~MSR[0])はMSRレジスタを最後に読み出してからモデムの入力が変わっているか否かを示すデルタ・ステータス・ビットです。モデムからの制御入力が状態を変化した時にデルタ・ステータス・ビットは1にセットされ、CPUがMSRレジスタを読み出すと0にリセットされます。MSR[4]~MSR[7]はモデム入力信号($\overline{\text{CTS}}$ 、 $\overline{\text{DSR}}$ 、 $\overline{\text{RI}}$ 、 $\overline{\text{DCD}}$)の状態を示します。IERレジスタのモデム・ステータス割り込みがイネーブルの時、モデム入力信号の状態変化で割り込みが発生します。

MSRレジスタ読みだし期間中にモデム入力信号の状態変化が発生した時、デルタ・ステータス・ビットに関してはその読み出しで1が読み出されたデルタ・ステータス・ビットに対応するモデム入力信号の状態変化は無視されMSRレジスタに反映されません。0が読み出されたビットと対応するモデム入力信号の状態変化は読み出しが終わった時点でMSRレジスタに反映されます。

また、MSR[0]~MSR[3]も同様に読み出し期間中に状態が変化した場合読みだしが終わった時点で各ビットに反映されます。

ビット	項目(記号)	値	機能
D 7	$\overline{\text{DCD}}$ 信号の状態		$\overline{\text{DCD}}$ 信号の値です。
D 6	$\overline{\text{RI}}$ 信号の状態		$\overline{\text{RI}}$ 信号の値です。
D 5	$\overline{\text{DSR}}$ 信号の状態		$\overline{\text{DSR}}$ 信号の値です。
D 4	$\overline{\text{CTS}}$ 信号の状態		$\overline{\text{CTS}}$ 信号の値です。
D 3	$\overline{\text{DCD}}$ 信号の状態変化	0	$\overline{\text{DCD}}$ 信号が変化していない。
		1	$\overline{\text{DCD}}$ 信号が変化している。
D 2	$\overline{\text{RI}}$ 信号の状態変化	0	$\overline{\text{RI}}$ 信号が変化していない。
		1	$\overline{\text{RI}}$ 信号が変化している。
D 1	$\overline{\text{DSR}}$ 信号の状態変化	0	$\overline{\text{DSR}}$ 信号が変化していない。
		1	$\overline{\text{DSR}}$ 信号が変化している。
D 0	$\overline{\text{CTS}}$ 信号の状態変化	0	$\overline{\text{CTS}}$ 信号が変化していない。
		1	$\overline{\text{CTS}}$ 信号が変化している。

表6-35 モデム・ステータス・レジスタ

- ・ MSR[4] : 0の時モデムが送信出力(SOUT)からデータを受信する準備ができていることを示します。UARTがループ・モード(MCR[4]=1)にある時は、MCR[1](RTS)の値が設定されます。
- ・ MSR[5] : 0の時モデムが受信回路にデータを送信する準備ができていることを示します。UARTがループ・モード(MCR[4]=1)にある時は、DTR(MCR[0])ビットの値が設定されます。
- ・ MSR[6] : UARTがループ・モード(MCR[4]=1)にある時は、OUT2(MCR[3])ビットの値が設定されます。
- ・ MSR[7] : UARTがループ・モード(MCR[4]=1)にある時は、OUT1(MCR[2])ビットの値が設定されます。

5) ボーレート選択レジスタ (BRSR)

ボーレート選択レジスタは2つの8ビットレジスタ(DLL、DLM)から構成される16ビット長のレジスタです。UARTはこれらのレジスタに設定された値で、UARTクロック^{*1}を分周し、通信に使用するボーレートクロックを作ります。

ボーレート選択レジスタの設定値をX、通信ボーレートをT、外部信号の信号周波数をFとすると $X = F / (T * 16)$ で求められます。これで求められたXはDLMを上位バイト、DLLを下位バイトとして設定してください。

ボーレート選択レジスタ(DLL)		ボーレート選択レジスタ(DLM)	
ビット	機能	ビット	機能
D 7	データ・ビット DLL [7]	D 1 5	データ・ビット DLM [7]
D 6	データ・ビット DLL [6]	D 1 4	データ・ビット DLM [6]
D 5	データ・ビット DLL [5]	D 1 3	データ・ビット DLM [5]
D 4	データ・ビット DLL [4]	D 1 2	データ・ビット DLM [4]
D 3	データ・ビット DLL [3]	D 1 1	データ・ビット DLM [3]
D 2	データ・ビット DLL [2]	D 1 0	データ・ビット DLM [2]
D 1	データ・ビット DLL [1]	D 9	データ・ビット DLM [1]
D 0	データ・ビット DLL [0]	D 8	データ・ビット DLM [0]

表 6 - 3 6 ボーレート選択レジスタ

^{*1}: 6 - 1 0 . L S I 制御レジスタのMODC設定により選択されたUART用クロックです。このクロックを以降UARTクロックと記載します。

分周計算の例:

(ボーレート 1200bps、入力周波数 1.8432MHz)

分周値 = 入力周波数 ÷ (ボーレート × 16)

= 184320 ÷ (1200 × 16)

= 96

= 60hex

D L L = 01100000 , D L M = 00000000

分周値96は入力周波数1.8432MHzを(16 × ボーレート = 19200)で割った値です。

6) 受信バッファ・レジスタ (RBR)

UARTは5、6、7、8ビットのキャラクター長のデータを受信できます。データLSB (RBR[0])から右詰めされます。RBR[0]が受信される最初のデータ・ビットです。データ長が8ビット未満の時未使用ビットは0にセットされます。

SIN入力端子から受信されたデータはRSRレジスタへシフトされます。受信が完了すると受信データはRBRレジスタへストアされ、LSRレジスタのDR (LSR[0])ビットが1にセットされます。

受信レジスタは二重バッファ構造になっているため、受信されたデータを失うことなく、連続してデータを受信することが可能です。RBRレジスタの受信データを読み出す前に次の受信データの受信が完了するとRBRレジスタは上書きされ保持していた受信データを失います。この時、LSRレジスタのOE (LSR[1])ビットはオーバーラン状態を示します。

ビット	機 能
D 7	データ・ビット RBR [7]
D 6	データ・ビット RBR [6]
D 5	データ・ビット RBR [5]
D 4	データ・ビット RBR [4]
D 3	データ・ビット RBR [3]
D 2	データ・ビット RBR [2]
D 1	データ・ビット RBR [1]
D 0	データ・ビット RBR [0]

表 6 - 3 7 受信バッファ・レジスタ

7) 送信ホールド・レジスタ (THR)

THRレジスタはTSRレジスタが空になるまで次の送信データを保持します。送信データと受信データのデータ長とストップ・ビット数は同一にしてください。データ長が8ビット未満の時は、マイクロプロセッサのデータ・バスで使用されていないビットは無視されます。

THR[0]が送信される最初のシリアル・データ・ビットです。THRE (LSR[5])ビットはTHRレジスタが空であるか否かを示し、TEMT (LSR[6])ビットはTHRレジスタとTSRレジスタがともに空であるか否かを示します。

ビット	機 能
D 7	データ・ビット THR [7]
D 6	データ・ビット THR [6]
D 5	データ・ビット THR [5]
D 4	データ・ビット THR [4]
D 3	データ・ビット THR [3]
D 2	データ・ビット THR [2]
D 1	データ・ビット THR [1]
D 0	データ・ビット THR [0]

表 6 - 3 8 送信ホールド・レジスタ

8) スクラッチ・レジスタ (SCR)

SCRレジスタは8ビットのリード/ライト・レジスタでUARTに影響を与えません。一時的なデータの保管場所として使用可能です。

ビット	機 能
D 7	データ・ビット SCR [7]
D 6	データ・ビット SCR [6]
D 5	データ・ビット SCR [5]
D 4	データ・ビット SCR [4]
D 3	データ・ビット SCR [3]
D 2	データ・ビット SCR [2]
D 1	データ・ビット SCR [1]
D 0	データ・ビット SCR [0]

表 6 - 3 9 スクラッチ・レジスタ

9) 割り込み設定レジスタ (IIR)

UARTはマイクロプロセッサにインタフェースするため割り込み機能を持っています。データの転送中、ソフトウェア・オーバーヘッドを最小にするために、UARTは以下のように4つの割り込みに優先順位を付けています。

- | | |
|-----------------------|---------|
| (1) 受信ライン・ステータス | (優先順位1) |
| (2) 受信データ・レディ | (優先順位2) |
| (3) 送信ホールド・レジスタ・エンプティ | (優先順位3) |
| (4) モデム・ステータス | (優先順位4) |

1つまたは2つ以上の割り込みが発生すると、その中の最も優先順位の高い割り込みに対応する値がIIRレジスタにセットされます。CPUはこのレジスタをリードすることにより、割り込み要因を知ることができます。CPUによる割り込み処理が行われるまで他の割り込みは受付られません。

割り込み設定状態					割り込み要求 / 開放要因		
bit7~3	bit2	bit1	bit0	優先順位	割込フラグ	割込要因	割込リセット要因
0	X	X	1	無	無	無	無
0	1	1	0	1	受信ライン・ステータス	OE, PE, FE, BI	LSRレジスタ読み出し
0	1	0	0	2	受信データ有効	受信データ有効	RBRレジスタ読み出し
0	0	1	0	3	送信ホールド・レジスタ空 (THRE)	送信ホールド・レジスタ空 (THRE)	IIRレジスタ読み出し、又はTHRレジスタ書込
0	0	0	0	4	モデム・ステータス	\overline{CTS} , \overline{DSR} , \overline{RT} , \overline{DCD}	MSRレジスタ読み出し

表 6 - 4 0 割り込み設定レジスタ

10) 割り込み許可レジスタ (IER)

書き込み専用のレジスタで、UARTの各々の割り込みを許可します。IER[0]~IER[3]をリセットすることで、すべての割り込みは禁止されます。1にセットすることで割り込みは許可されます。割り込みを禁止することで、IIRレジスタの読み出しが禁止され、内部のUART割り込み信号は0に固定されます。この為UARTによるCPUへの割り込みは発生しません。

また、他の機能は全て(LSRレジスタ、MSRレジスタの設定を含む)通常の状態で作動します。

ビット	項目	値	機能
D7	固定ビット	0	常に0固定してください。
D6	固定ビット	0	常に0固定してください。
D5	固定ビット	0	常に0固定してください。
D4	固定ビット	0	常に0固定してください。
D3	モデム・ステータス 割り込みの許可	0	割り込み不許可
		1	割り込み許可
D2	受信ライン・ステータス 割り込みの許可	0	割り込み不許可
		1	割り込み許可
D1	送信ホールド・レジスタ・ エンプティ割り込みの許可	0	割り込み不許可
		1	割り込み許可
D0	受信データ・レディ 割り込みの許可	0	割り込み不許可
		1	割り込み許可

表6-41 割り込み許可レジスタ

6-16. UARTの送信回路

シリアル・データ(SOUT)を出力する送信回路はTHRレジスタ、TSRレジスタおよび制御回路で構成されています。THRレジスタとTSRレジスタの状態はLSRレジスタのTHRE(LSR[5])ビットとTEMT(LSR[6])ビットで表示されます。5~8ビットの送信データはTHRレジスタに書き込まれ、未使用のビットがある場合、そのビットには0が書き込まれます。

送信回路がアイドル状態の時、THRE(LSR[5])ビットとTEMT(LSR[6])ビットがともに1になります。THRE(LSR[5])ビットが1の場合のみ、マイクロプロセッサは書き込み動作を実行できます。THRレジスタに最初のデータが書き込まれると、THRE(LSR[5])ビットは0にリセットされます。スタート・ビット送信中、データはTHRレジスタからTSRレジスタへ自動転送され、THRE(LSR[5])ビットは1にセットされます。TSRレジスタへ転送されたデータは、スタートビットに続いてSOUT端子より出力されます。データを送信中、TEMT(LSR[6])ビットは0を保持しています。もし送信中に2番目のデータがTHRレジスタに転送された場合、THRE(LSR[5])ビットは0にリセットされます。その後、TSRレジスタが空になるまでTHRレジスタからデータは転送されず、THRE(LSR[5])ビットはTSRレジスタのデータ送信が完了するまで0を保持しています。最後のデータがTSRレジスタから外部へ送信されると、TEMT(LSR[6])ビットは1にセットされます。

6 - 17 . U A R T の受信回路

非同期のシリアル・データはS I N端子から入力されます。S I N信号のアイドル状態は1です。スタート・ビット検出回路はアイドル状態からの0への変化を断続的に調べています。S I N信号の変化が検出されるとカウンタはリセットされ、ボーレート×16クロックを7.5回カウントします(スタート・ビットの中心になります)。この時S I N信号をサンプリングし0のままであれば、スタート・ビットとして有効とみなします。これはS I N入力からのスパイク・ノイズをスタート・ビットとして受信回路が誤って検出しないようにするためです。L C Rレジスタはデータ長(L C R [0], L C R [1])、ストップ・ビット数(L C R [2])、パリティの有無(L C R [3])、強制パリティの有無(L C R [4])を設定します。受信回路のステータス情報はL S Rレジスタに示されます。受信データがR S RレジスタからR B Rレジスタへ転送される際に、D R (L S R [0])ビットが1にセットされます。最終的にR B Rレジスタの内容(受信データ)はC P Uによって読み出されます。この読み出しによりL S R [0]ビットはリセットされます。データが格納されているR B Rレジスタの内容を読み出す前に、R S RレジスタからR B Rレジスタへ次のデータが転送されて元のデータが上書きされてしまった場合、オーバーラン・エラー・フラグとしてO E (L S R [1])に1がセットされます。パリティ・チェックはストップ・ビットの前で行われ、パリティ・ビットが偶数ビットであるか奇数ビットであるかを判定します。ストップ・ビットが1かどうかを判定する回路があり、ストップ・ビットが0と判定されると、フレーミング・エラーとしてL S RレジスタのF E (L S R [3])ビットに1がセットされます。

6 - 18 . U A R T ボーレート発生回路 (B R G : Baud Rate Generator)

ボーレートはD L Lレジスタ、D L MレジスタおよびU A R Tクロックの周波数によって決定されます。D L L="00000001"かつD L M="0000000"にセットすると分周値1に選択されます。この時、U A R Tクロック周波数を1で割った値がボーレートに設定され、最大のボーレートが得られます。

B R G回路は1.8432MHz、2.4576MHz、3.072MHzのうちのいずれかのU A R Tクロック周波数を用いた場合、56~38.4kbpsの標準ボーレートが得ることができます。

なお、本L S IはB A U D O U T端子をサポートしていません。この為に、L S I内部でボーレートの16倍のクロックを通信クロックとして使用しています。

6 - 19 . U A R T のリセット動作

電源入力後、R E S E T入力が0で、送信回路と受信回路の内部クロックカウンタを初期化します。L S RレジスタのT E M TビットとT H R Eビットは1にセットされ、その他のビットは0にリセットされます。また、M C RレジスタおよびL C Rレジスタもクリアされます。これらのレジスタに関連した出力信号(S O U T、D T R、R T S)、メモリユニットおよび様々な回路もまたクリアされます。ボーレート選択レジスタ、R B RレジスタおよびT H Rレジスタには、リセット動作による影響はありません。

リセット解除後、U A R Tはプログラムされるまでアイドル状態を保持し、L S RレジスタのT H R E (L S R [5])ビットとT E M T (L S R [6])ビットは1にセットされます。

6 - 20 . U A R T のプログラミング

U A R Tは制御レジスタL C R、E R、D L L、D L M、M C Rによってプログラムされます。制御レジスタはどのような順序でも書き込み可能ですが、割り込みをイネーブルするためのI E Rレジスタへの書き込みは最後に行ってください。

6 - 21 . U A R T のソフトウェア・リセット

ソフトウェア・リセットにより、システム・リセットをかけなくても、完全に一定の状態に戻すことができます。L C Rレジスタ、M C Rレジスタ、ボーレート選択レジスタにデータを書き込むことによってリセットされます。次の動作に無効な受信データやステータス・ビットをクリアするために、割り込みをイネーブルする前にR B RレジスタおよびL S Rレジスタを読み出してください。

6 - 2 2 . バスサイジング機能

本 L S I は、3 2 ビットのデータバスを有する A R M に対して 8 ビットおよび 1 6 ビット幅の R O M、F L A S H メモリを単体で使用することができます。これをバスサイジング機能といいます。

B S I Z E が H i g h に設定されている状態で、R O M 領域にリードが発生すると自動的に C P U に対して W A I T を挿入します。

また、本 L S I は、R O M のリードサイクル中に $\overline{B S 0}$ 、 $\overline{B S 1}$ から、下位のアドレスを、S C K からシフトクロックを出力します。この状態を図 6 - 4 1 および図 6 - 4 2 に示します。設定値とあるのは R O M のアクセスサイクル数での W A I T 数の値です。

1) 8 ビットモード時 (B 8 / $\overline{1 6}$: H i g h) の動作

W A I T サイクル : $3 + (\text{設定値}) \times 4$

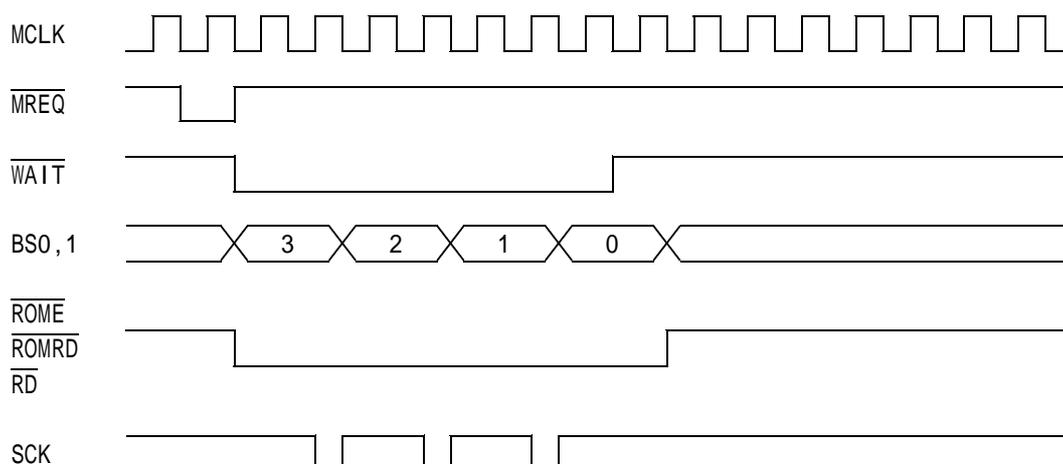


図 6 - 4 1 アクセスサイクル数の設定値が 1 [H] の場合 (8 ビットモード)

2) 1 6 ビットモード時 (B 8 / $\overline{1 6}$: L o w) の動作

W A I T サイクル : $1 + (\text{設定値}) \times 2$

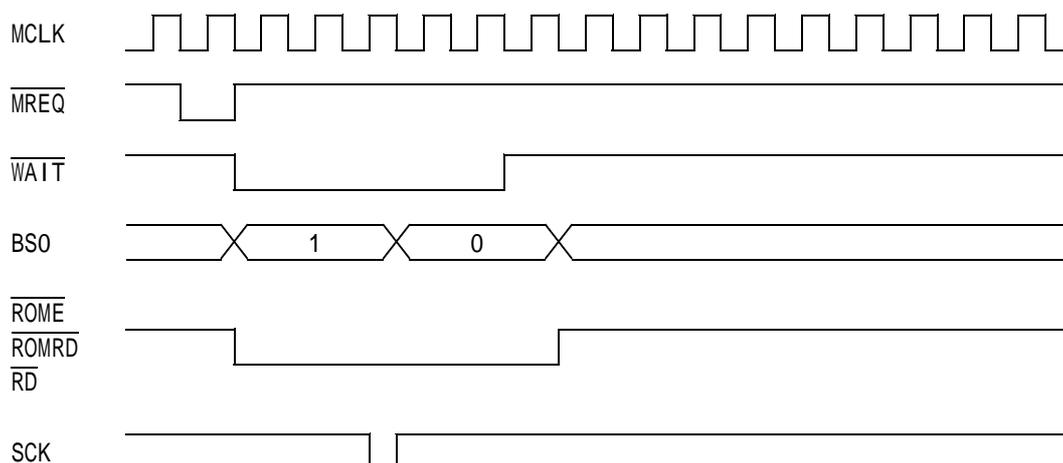


図 6 - 4 2 アクセスサイクル数の設定値が 2 [H] の場合 (1 6 ビットモード)

3) ROM領域に対する書込

ROM領域に書込が発生しても、設定値以上のWAITは挿入されずに、通常のライト・サイクルが発生します。

ただし、 $\overline{BS0}$ 、 $\overline{BS1}$ からはアドレスレジスタ(ADDR)で設定した値が出力されます。この動作を図6-43に示します。

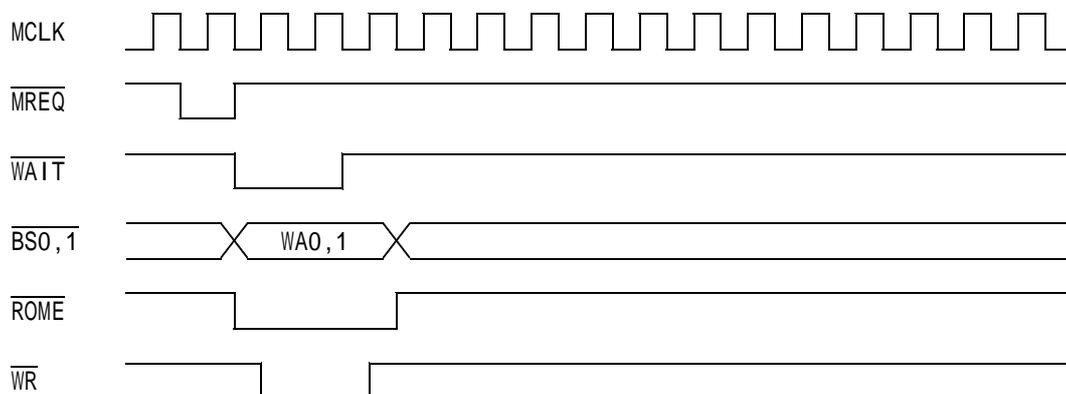


図6-43 アクセスサイクル数の設定値が2 [H]の場合

ADDRのフォーマットを図6-44と表6-42に示します。

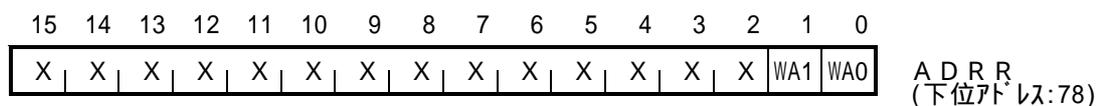


図6-44 ADDRビット割当

データ	設定値	出力端子	出力値
WA1	0	$\overline{BS1}$	0
	1	"	1
WA0	0	$\overline{BS0}$	0
	1	"	1

表6-42 BSIZE=High時のROM領域に対する書込動作($\overline{BS0}$, $\overline{BS1}$)

7. 電気的特性

1) 絶対最大定格

記号	項目	条件	最小	標準	最大	単位
V _{CC}	電源電圧	GND端子に対して	-0.3		6.0	V
V _{IN}	入力電圧	GND端子に対して	-0.3		V _{CC} +0.3	V
V _{OUT}	出力電圧	GND端子に対して	-0.3		V _{CC} +0.3	V
T _{opr}	動作温度範囲		-10		+70	
T _{stg}	保存温度範囲		-55		+150	

2) 動作条件

記号	項目	条件	最小	標準	最大	単位
V _{CC}	動作電圧	GND端子に対して	4.75	5.0	5.25	V
T _{opr}	動作温度範囲		-10		+70	

3) DC特性

(T_{opr} = -10 ~ +70、V_{CC} = 5V ± 5%、GND = 0V)

記号	項目	条件	最小	標準	最大	単位	適用
V _{IL}	Lレベル入力電圧		0		0.8	V	1
V _{IH}	Hレベル入力電圧		2.0		V _{CC}	V	
V _{OL}	Lレベル出力電圧	I _{OL} = 4.0mA			0.4	V	2
V _{OH}	Hレベル出力電圧	I _{OH} = -2.0mA	4.0			V	
I _{IL}	Lレベル入力電流	V _{IN} = GND			1.0	μA	1
I _{IH}	Hレベル入力電流	V _{IN} = V _{CC}			1.0	μA	

適用1：入力端子及び入出力端子の入力モード時に適用。

適用2：出力端子及び入出力端子の出力モード時に適用。

4) 消費電流

(T_a = 25、V_{CC} = 5.25V、GND = 0V)

記号	項目	条件	最小	標準	最大	単位	適用
I _{CCS}	静止電源電流	V _{IN} = GND or V _{CC}			30.0	μA	
I _{CCO1}	動作電源電流 1	V _{IN} = GND or V _{CC} f1=20MHz(MCLK)出力開放			150.0	mA	1
I _{CCO2}	動作電源電流 2	V _{IN} = GND or V _{CC} f2=3MHz(TRCK)出力開放			10.0	mA	2

適用1：UART以外のロジック部分に適用。

適用2：UARTのロジック部分に適用。

動作電源電流値は、動作周波数に対して比例します。

5) AC特性

(Ta=-10~+70、Vcc=5V±5%、GND=0V、出力負荷容量=20pF)

番号	記号	項目	最小	標準	最大	単位
1	t _{CY}	MCLKサイクル時間	50			ns
2	t _H	MCLKパルス幅(High)	25			ns
3	t _L	MCLKパルス幅(Low)	25			ns
4	t _{MRQS}	MCLK に対する \overline{MREQ} のセットアップ時間	8			ns
5	t _{MRQH}	MCLK に対する \overline{MREQ} のホールド時間	4			ns
6	t _{ADRS}	MCLK に対するアドレスのセットアップ時間	20			ns
7	t _{ADRH}	MCLK に対するアドレスのホールド時間	4			ns
8	t _{DS}	MCLK に対する入力データのセットアップ時間	8			ns
9	t _{DH}	MCLK に対する入力データのホールド時間	4			ns
10	t _{DD1}	MCLK からの出力データ確定時間1(*1)	5		24	ns
11	t _{DD2}	MCLK からの出力データ確定時間2(*2)	25		45	ns
12	t _{DDZ}	MCLK からの出力データ ハイ・インピーダンス時間	10		55	ns
13	t _{WT}	MCLK からの \overline{WAIT} 出力時間	5		22	ns
14	t _{ITS}	MCLK に対する $\overline{INT7-0}$ 、 \overline{NMI} のセットアップ時間	25			ns
15	t _{ITH}	MCLK に対する $\overline{INT7-0}$ 、 \overline{NMI} のホールド時間	25			ns
16	t _{ITD}	MCLK からの \overline{IRQ} 、 \overline{FIQ} 出力遅延時間			50	ns
17	t _{ABH}	MCLK からの \overline{ABORT} 出力遅延時間	5		21	ns
18	t _{ABL}	MCLK からの \overline{ABORT} 出力遅延時間	5		21	ns
19	t _{AKS}	MCLK に対する \overline{ACK} のセットアップ時間	25			ns
20	t _{AKH}	MCLK に対する \overline{ACK} のホールド時間	25			ns
21	t _{LAD}	MCLK からの $\overline{LA23-2}$ 出力遅延時間	5		24	ns
22	t _{BSD1}	MCLK からの $\overline{BS3-0}$ 出力遅延時間	4		19	ns
23	t _{ROMD}	MCLK からの \overline{ROME} 、 \overline{ROMRD} 、 \overline{RD} 出力遅延時間	4		21	ns
24	t _{WRD}	MCLK からの \overline{WR} 、 \overline{STB} 出力遅延時間(*3)	4		22	ns
25	t _{BSD2}	MCLK からの $\overline{BS1-0}$ 出力遅延時間(*4)	5		23	ns
26	t _{SKL}	MCLK からの \overline{SCK} 出力遅延時間	4		19	ns
27	t _{SKH}	MCLK からの \overline{SCK} 出力遅延時間	4		18	ns
28	t _{SBD}	SCK からの $\overline{BS1-0}$ 出力ホールド時間	1			ns
29	t _{MPD}	MCLK からの $\overline{MAP3-0}$ 出力遅延時間	4		19	ns
30	t _{MLD}	$\overline{MAP3-0}$ に対する $\overline{LA23-2}$ 出力ホールド時間	0			ns
31	t _{RWD}	MCLK からの $\overline{R/\overline{W}}$ 出力遅延時間	4		19	ns
32	t _{RDL}	MCLK からの \overline{RD} 、 \overline{STB} 出力遅延時間(*5)	4		20	ns

番号	記号	項目	最小	標準	最大	単位
33	tRDH	MCLK からの \overline{RD} 、 \overline{STB} 出力遅延時間	4		19	ns
34	tRMD	\overline{RD} に対する $\overline{MAP3-0}$ 出力ホールド時間	0			ns
35	tSTL	MCLK からの \overline{STB} 出力遅延時間	4		19	ns
36	tSTH	MCLK からの \overline{STB} 出力遅延時間	4		20	ns
37	tRAD	MCLK からのRA11-0出力遅延時間	4		18	ns
38	tWD	MCLK からの \overline{W} 出力遅延時間	4		18	ns
39	tRSR	MCLK からの $\overline{RAS3-0}$ 出力遅延時間(*6)	4		22	ns
40	tRCS	$\overline{CAS3-0}$ に対するRA11-0のセットアップ時間(*6)	0			ns
41	tCSR	MCLK からの $\overline{CAS3-0}$ 出力遅延時間(*6)	5		22	ns
42	tCSF	MCLK からの $\overline{CAS3-0}$ 出力遅延時間(*6)	4		22	ns
43	tRRSR	MCLK からの $\overline{RAS3-0}$ 出力遅延時間(*7)	4		17	ns
44	tRRSF	MCLK からの $\overline{RAS3-0}$ 出力遅延時間(*7)	4		22	ns
45	tRCSF	MCLK からの $\overline{CAS3-0}$ 出力遅延時間(*7)	4		20	ns
46	tTCKL	TRCKパルス幅 (Low)	150			ns
47	tTCKH	TRCKパルス幅 (High)	150			ns
48	tVDO	MCLK からの \overline{RTS} 、 \overline{DTR} 出力遅延時間(*8)			9 +500	ns
49	tRDGD	MCLK からの \overline{RDG} 出力遅延時間			50	ns
50	tTDG1	MCLK からの \overline{TCK} 出力遅延時間			50	ns
51	tTDG2	MCLK からの \overline{TCK} 出力遅延時間			50	ns
52	tIFD1	\overline{INMIO} からの \overline{FIQ} 出力遅延時間			50	ns
53	tIFD2	\overline{INMIO} からの \overline{FIQ} 出力遅延時間			50	ns

(*1) : ハイ・インピーダンス状態からのデータ確定に適用。

(*2) : HighまたはLowからのデータ確定に適用。

(*3) : ライト時に適用。

(*4) : バスサイジング・モード時に適用。

(*5) : リード時に適用。

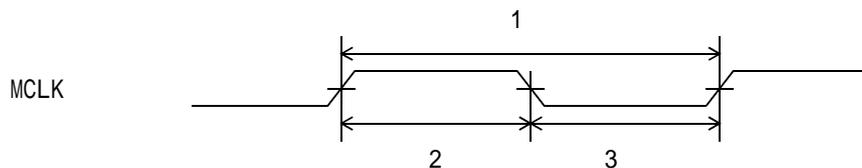
(*6) : DRAMのリード・ライト動作時に適用。

(*7) : DRAMのリフレッシュ動作時に適用。

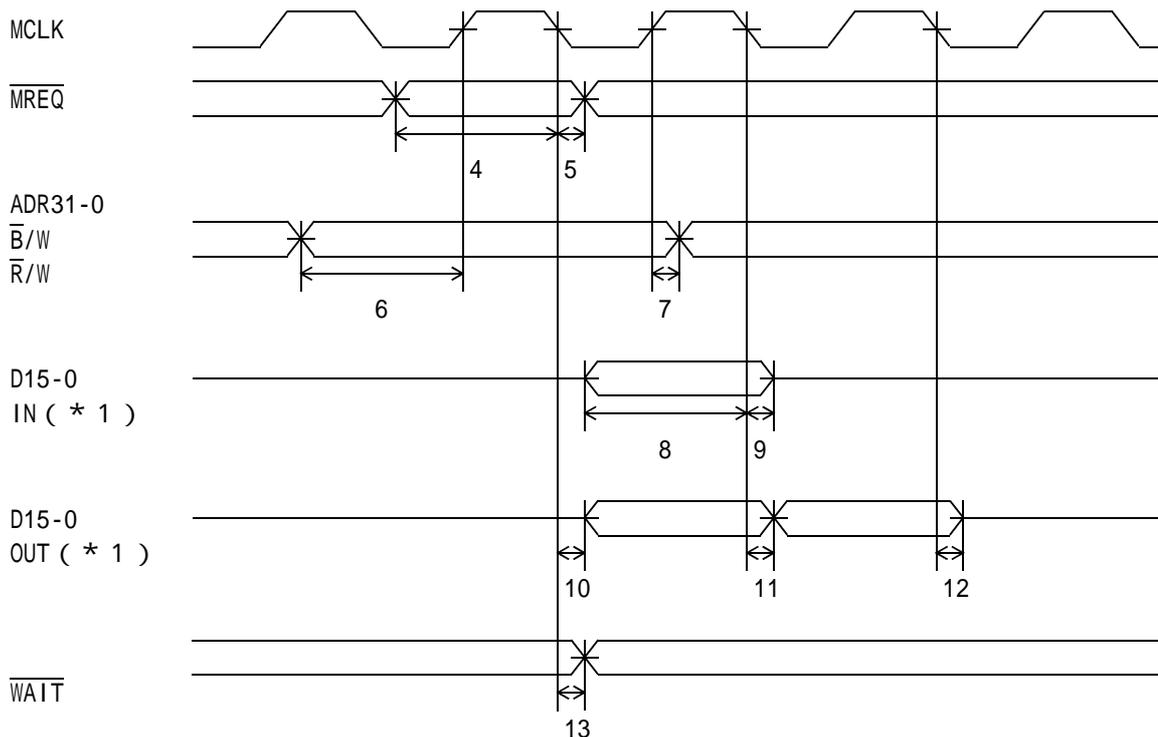
(*8) : は、MCLKの1サイクル(t_{CY})を示します。

単位nsは、の付いていない数字に適用。

6) タイミング・ダイアグラム
 ・クロック タイミング

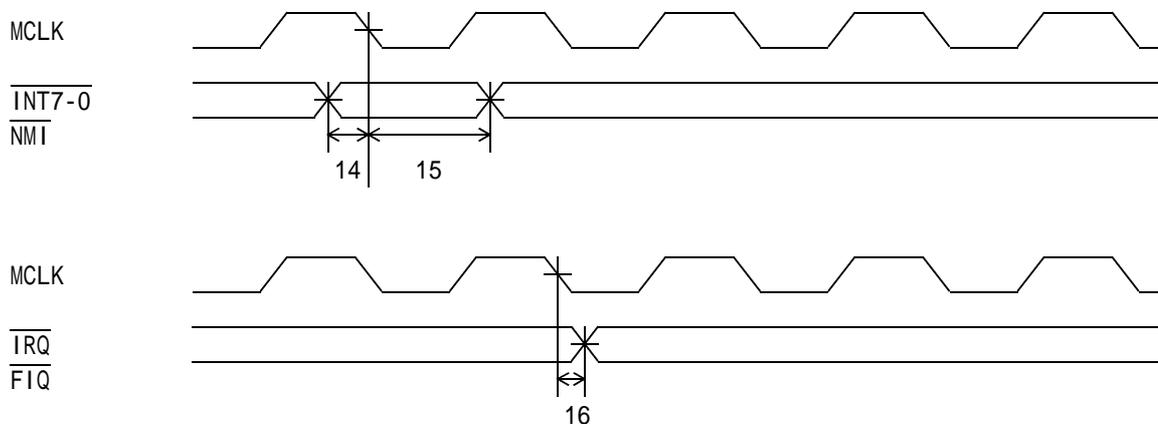


・CPU I/F タイミング

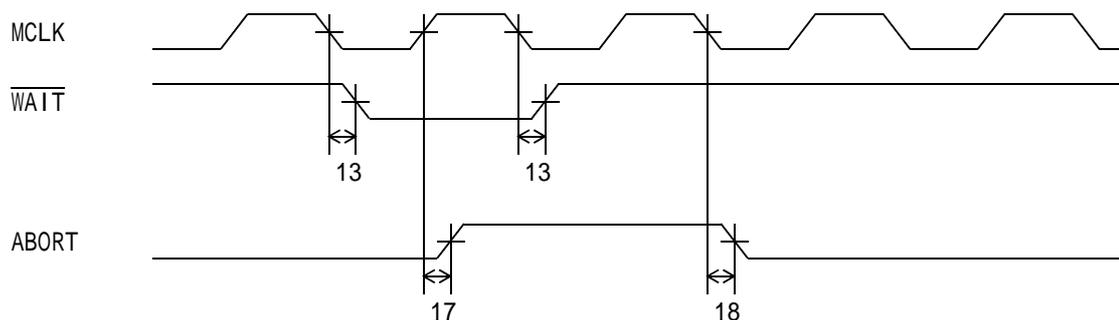


(* 1) ZEN1501F に対するタイミング規定です。

・割り込みタイミング

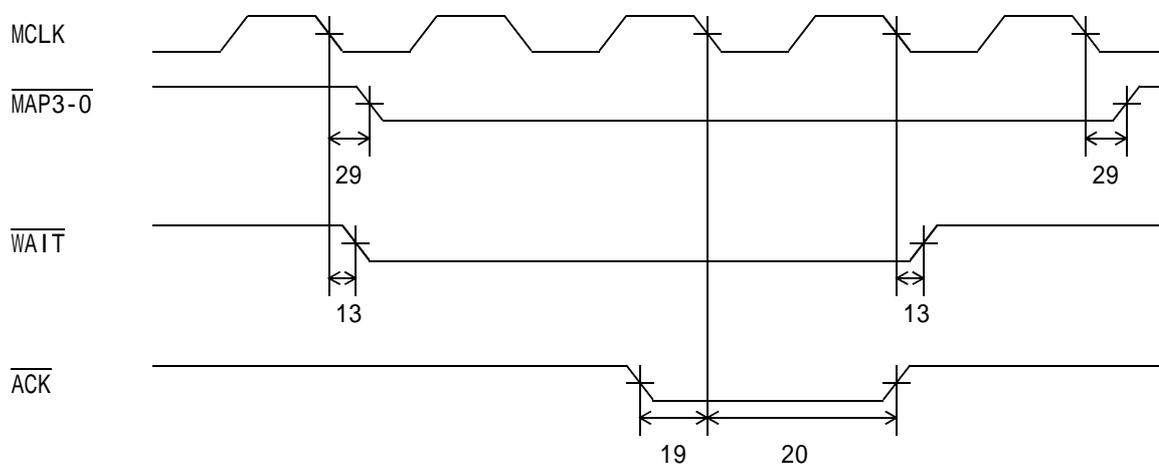


・ A B O R T タイミング

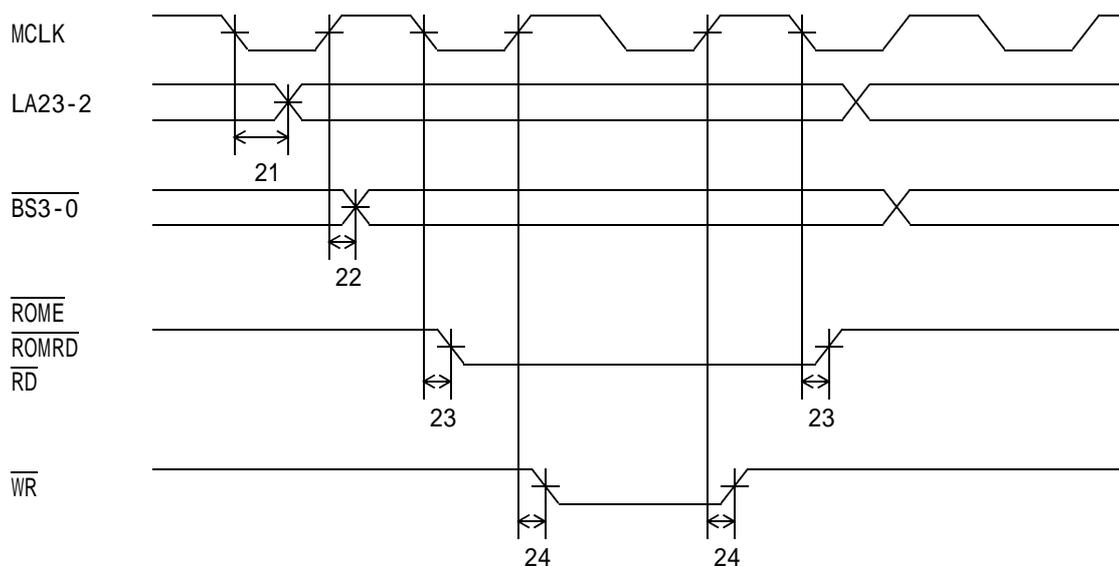


A B O R T 出力時は、毎回 1 クロックの W A I T が出力されます。

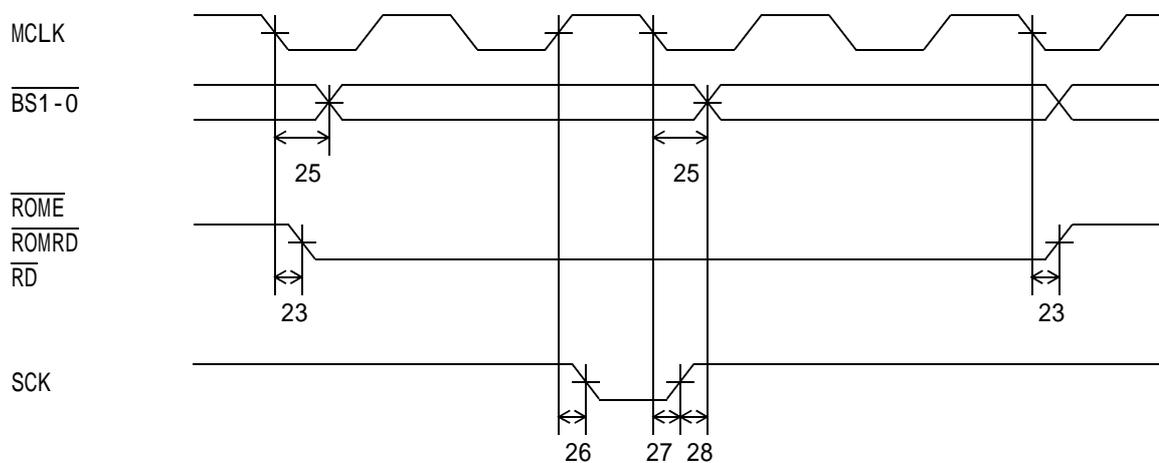
・ ハンドシェーク タイミング



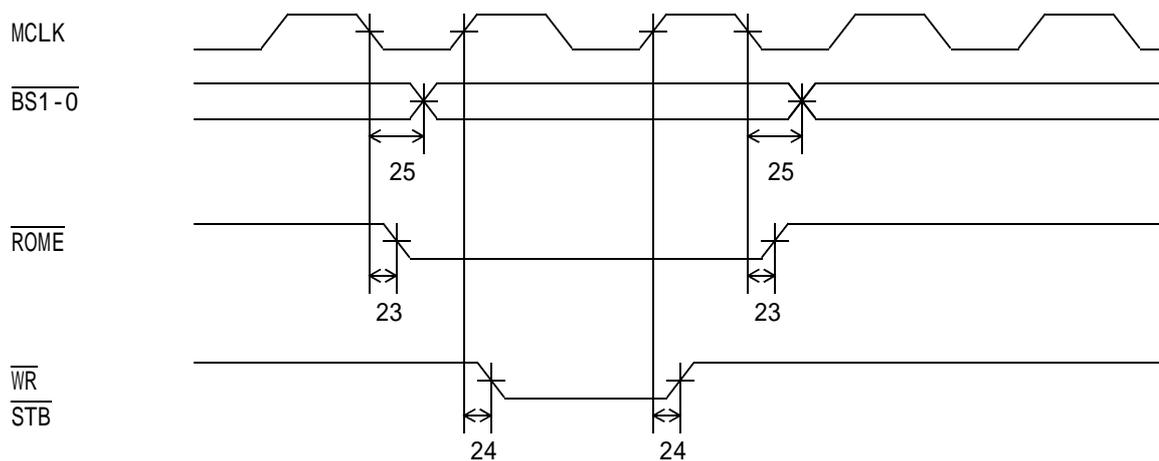
・ R O M ア ク セ ス (ノ ー マ ル モ ー ド)



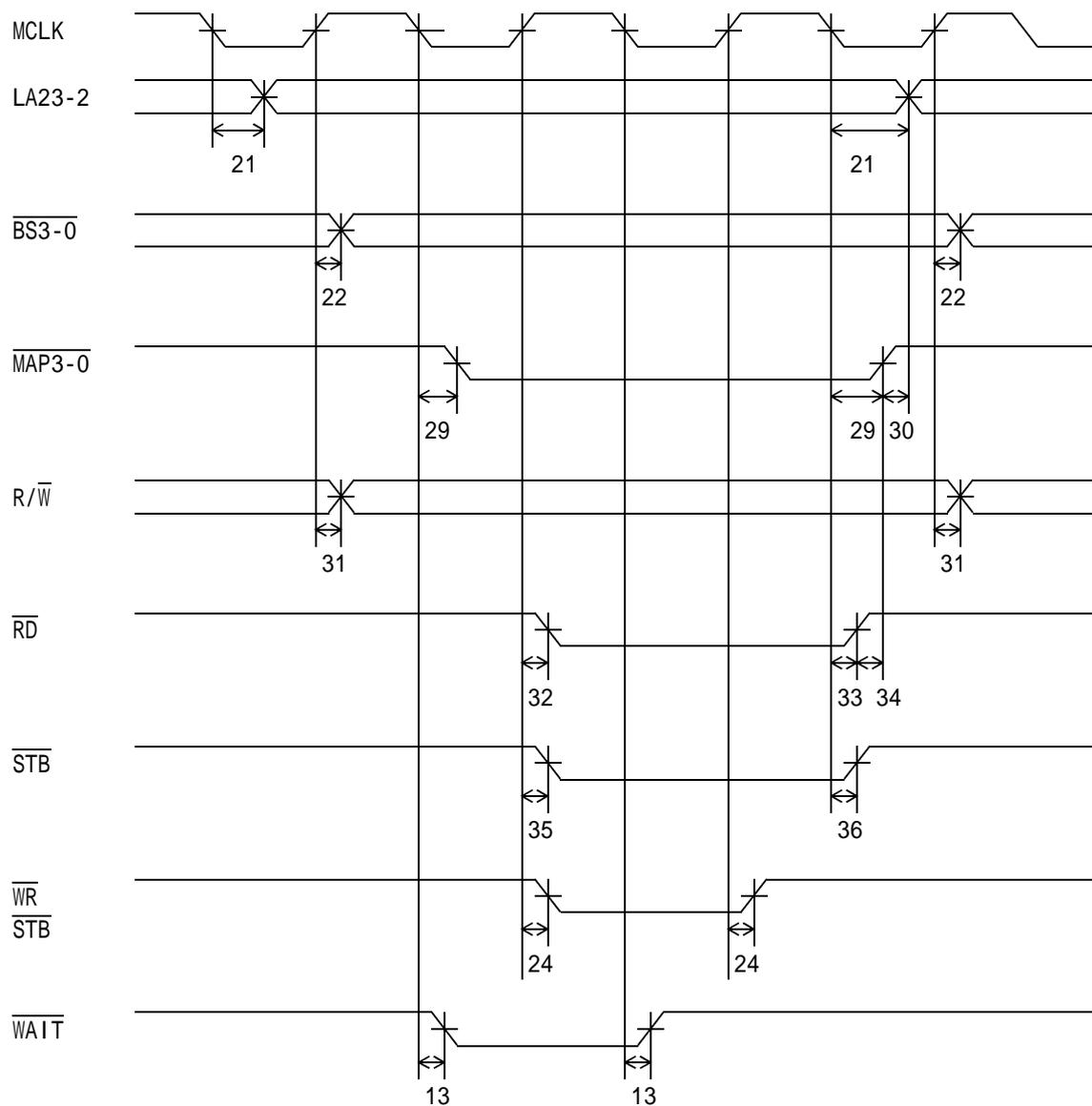
・ROMアクセス タイミング (バス・サイジング モード)
リードタイミング



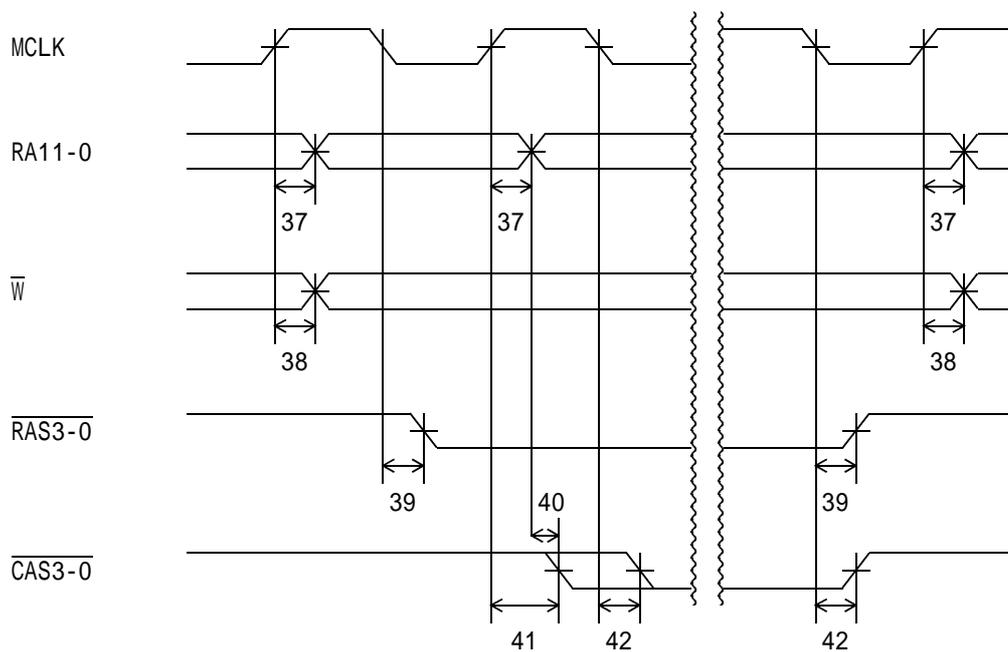
ライトタイミング



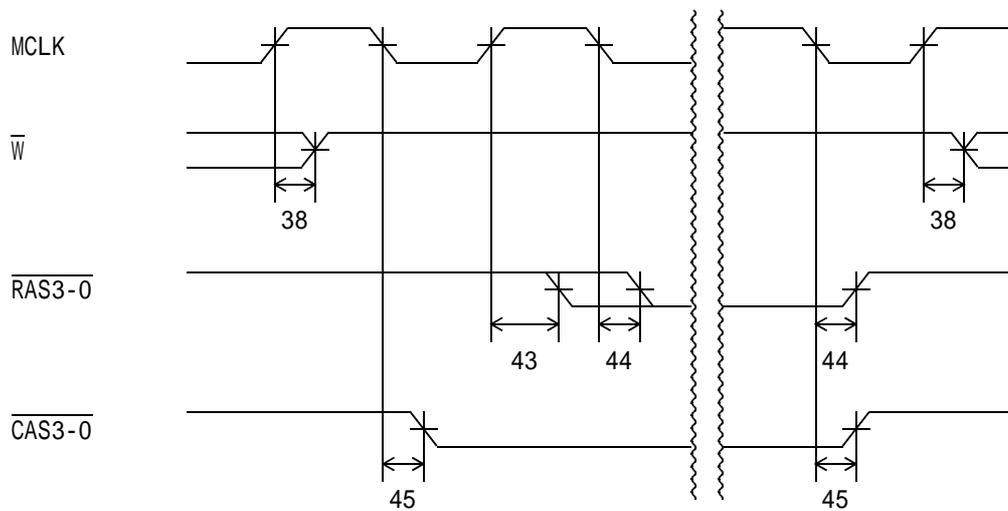
・MAPアクセス



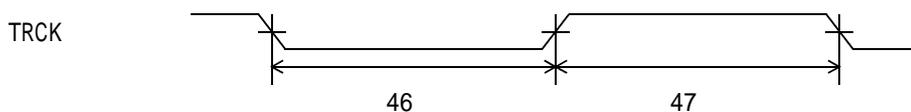
・DRAMアクセス タイミング
リード・ライト タイミング



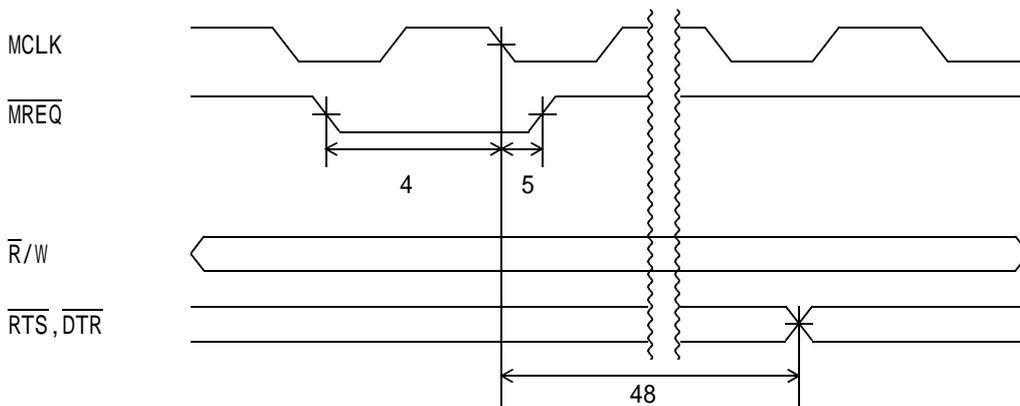
リフレッシュ タイミング



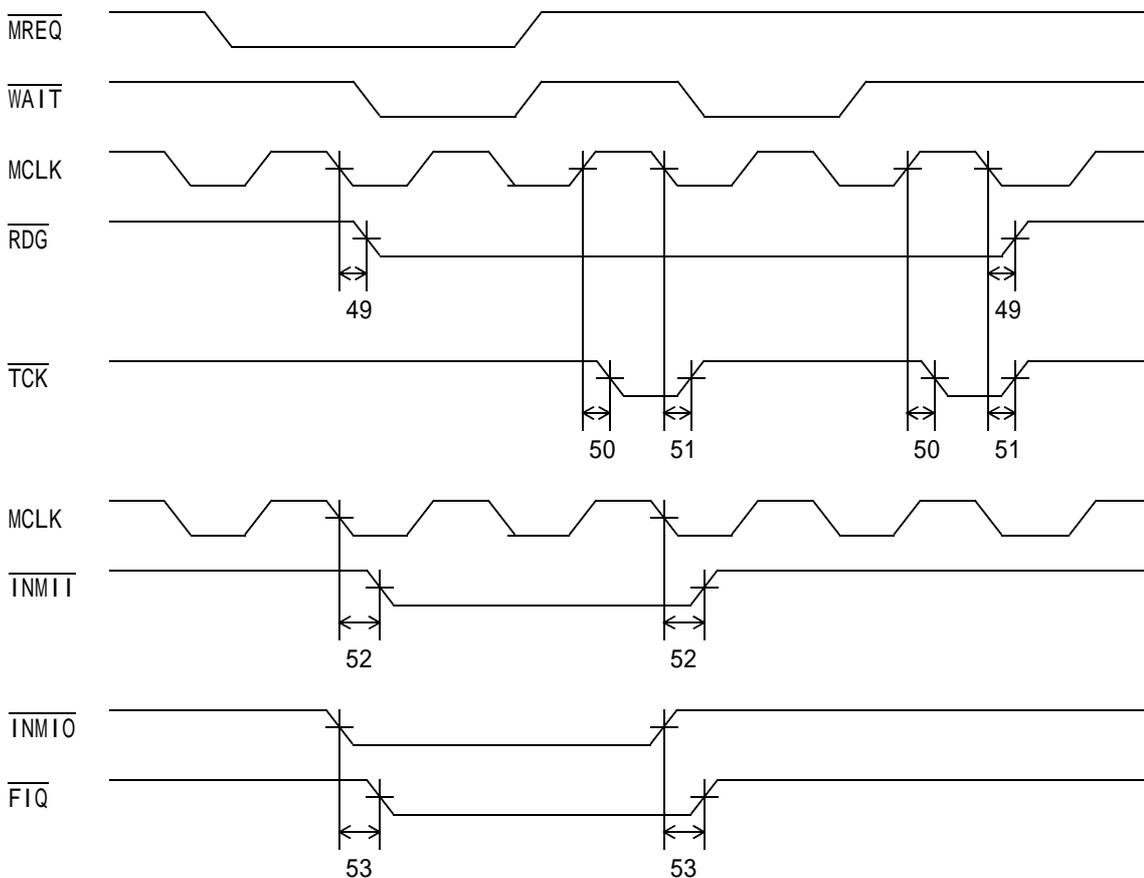
・ U A R T モ デ ム ・ ク ロ ッ ク ・ タイ ミ ン グ



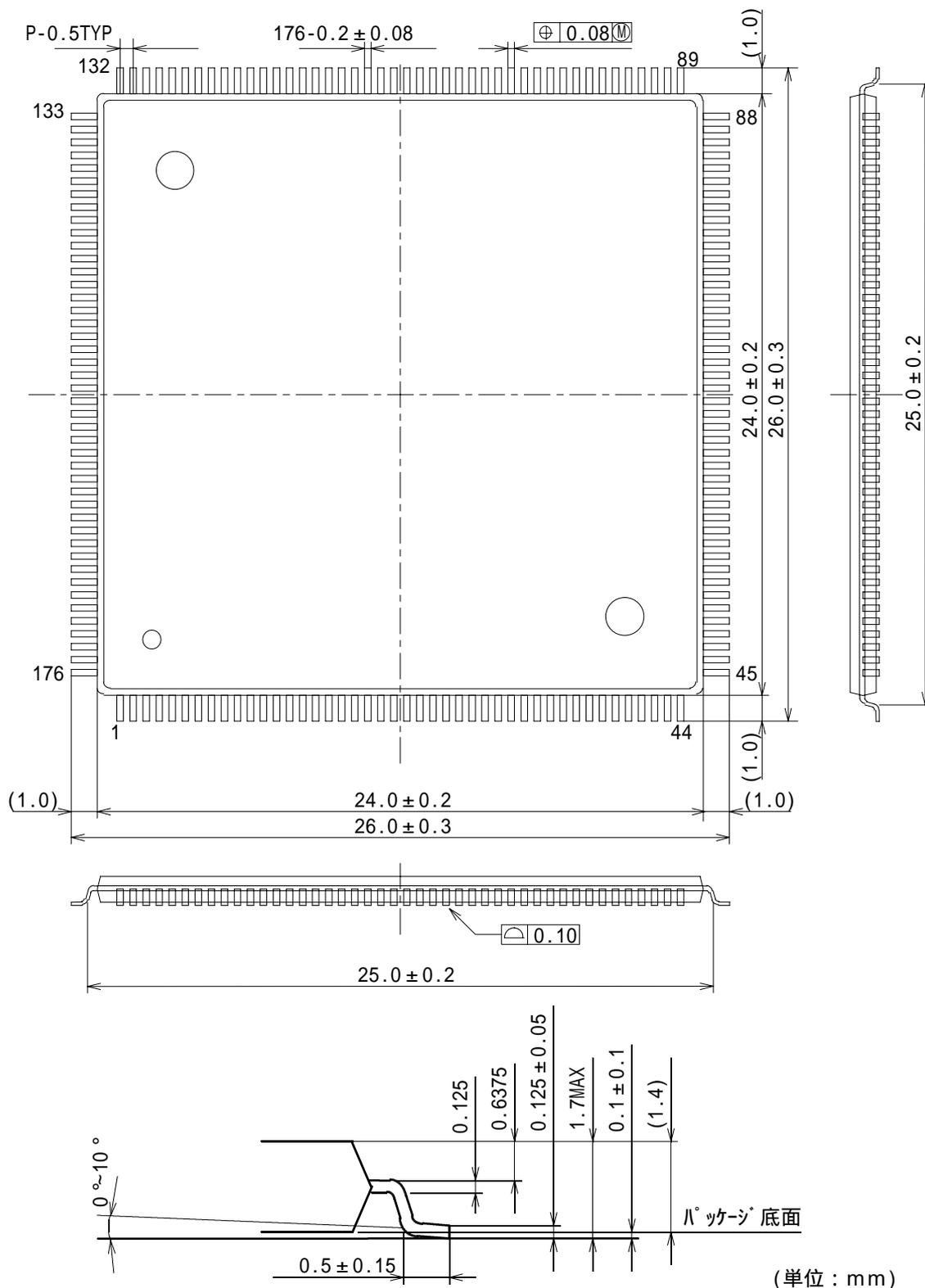
・ U A R T モ デ ム ・ コ ン ト ロ ー ル ・ タイ ミ ン グ



・ R O M イ ン サ ー キ ャ ッ ト デ バ ッ ガ 用 信 号
(I C E M O D E = L o w)



8. 外形寸法図



適合ソケット

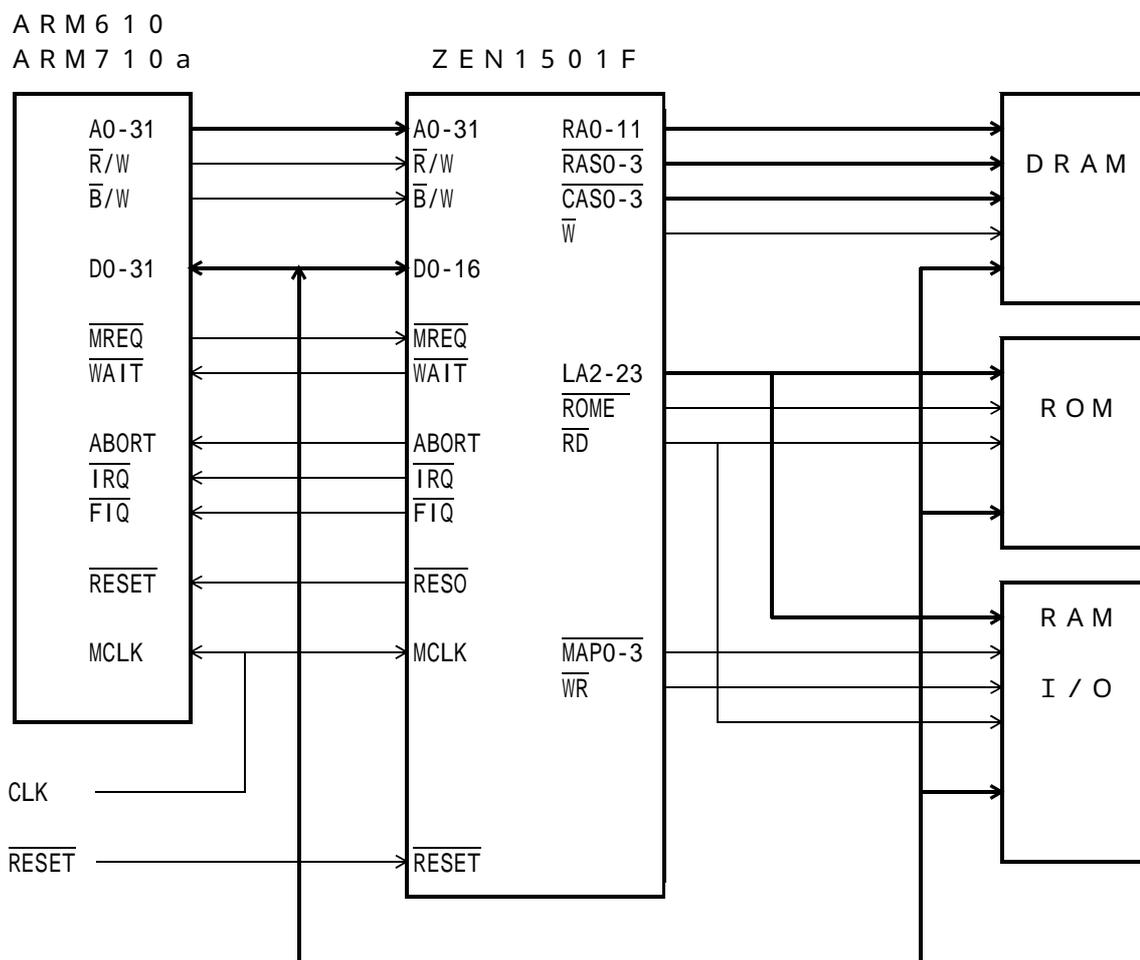
会社名：山一電機株式会社

名称：IC51-1764-1506-8

(単位：mm)

9. アプリケーションノート

9 - 1. 応用接続例



9 - 2. ZEN1501Fを使用する際の注意点

1) タイミングについて

製造メーカーにより、ARM610およびARM710aにおける各信号線のタイミングが異なります。ZEN1501Fとのタイミングを考慮して回路設計をして下さい。

2) 外部回路について

基本的に外部回路なしでROM、RAM、I/Oを接続できるように設計されていますが、使用されるICのタイミングによっては、外部回路が必要な場合があります。

3) アクセスについて

ZEN1501Fに対するアクセスは、ワードアクセス(32ビット)で、キャッシュをディスエーブルにして行って下さい。

また、CPUのプログラム空間とデータ空間を32ビット空間に設定してからZEN1501Fにアクセスして下さい。

4) 内蔵UARTについて

UART (82C50相当)のINTERRUPT信号は、許可されている割り込み要因の1つが発生するとHighになり、発生している割り込み要因の全てを処理するとLowになります。設計の都合上、ZEN1501Fに内蔵されているUARTの割り込みは、内部でUARTのINTERRUPT信号の立ち上がりを検出して、発生しています。

この為に、内蔵UARTの割り込みが発生すると、許可されている割り込み要因の全てを処理しない限り、再度割り込みが発生しないこととなります。

そこで、UARTの割り込みについては、次のように処理を行うよう推奨します。

UARTの割り込みであることを確認します。

ISTS(FFFF0068)のD9がHighであることを確認する。

UARTの割り込みをリセットします。

IRST(FFFF006C)に0x200をライトする。

割り込みステータスレジスタを読み出して、発生している割り込み要因を処理します。

IIR(FFFF0088)のD0がHighになるまで割り込み処理を続ける。

再度、割り込み要因がなくなったことを確認します。

IIR(FFFF0088)のD0がHighであることを確認する。

もしD0がLowの場合は、UARTの割り込み要因が発生したことを意味しますので、に戻り処理を続けて下さい。

UARTの割り込み処理を終了します。

9 - 3 . 適合DRAM素子例

容量	構成	リフレッシュサイクル	個/バンク	MB/バンク	メモリ型名	仕様
4M	4M * 1bit	1024/16mS	32	16	TMS44100 (TI) HM514100 (日立) TC514100 (東芝) MB814100 (富士通) MSM514100 (沖)	ファーストページ
4M	1M * 4bit	1024/16mS	8	4	TMS44400 (TI) HM514400 (日立) TC514400 (東芝) MB814400 (富士通) MSM514400 (沖)	ファーストページ
4M	512k * 8bit	1024/16mS	4	2	TMS44800 (TI) HM514800 (日立) TC514800 (東芝) MB814800 (富士通) MSM514800 (沖)	ファーストページ
4M	256k * 16bit	512/ 8mS	2	1	TMS44160 (TI) HM514260 (日立) TC514260 (東芝)	ファーストページ 2CAS 1WE
16M	16M * 1bit	4096/64mS	32	64	TMS416100 (TI) HM5116100 (日立) TC5116100 (東芝)	ファーストページ
16M	4M * 4bit	2048/32mS	8	16	TMS417400 (TI) HM5117400 (日立) TC5117400 (東芝)	ファーストページ 2kリフレッシュ
16M	2M * 8bit	2048/32mS	4	8	TMS417800 (TI) HM5117800 (日立) TC5117800 (東芝)	ファーストページ 2kリフレッシュ
16M	1M * 16bit	1024/16mS	2	4	TMS418160 (TI) TC5118160 (東芝)	ファーストページ 1kリフレッシュ 2CAS 1WE

目 次

1 . 概 要	1
2 . 機 能	2
3 . 端子配置	3
4 . ブロック図	4
5 . ピン名称と機能	5
6 . 動作説明	9
6 - 1 . 内部レジスタ	9
6 - 2 . メモリ配置設定	11
6 - 3 . ROM領域指定	12
6 - 4 . DRAM領域指定	13
6 - 5 . 内部レジスタのアドレス指定	15
6 - 6 . アクセスサイクル数	15
6 - 7 . タイマー設定	19
6 - 8 . 割り込み制御	22
6 - 9 . P I Oの設定	25
6 - 10 . L S I制御レジスタ	26
6 - 11 . ハンドシェーク	28
6 - 12 . ウォッチ・ドッグ・タイマー	28
6 - 13 . L S Iステータスレジスタ	29
6 - 14 . U A R T機能概要	31
6 - 15 . U A R Tレジスタ説明	31
6 - 16 . U A R Tの送信回路	40
6 - 17 . U A R Tの受信回路	41
6 - 18 . U A R Tボーレート発生回路	41
6 - 19 . U A R Tのリセット動作	41
6 - 20 . U A R Tのプログラミング	41
6 - 21 . U A R Tのソフトウェア・リセット	41
6 - 22 . バスサイジング機能	42
7 . 電気的特性	44
8 . 外形寸法図	53
9 . アプリケーションノート	54
9 - 1 . 応用接続例	54
9 - 2 . Z E N 1 5 0 1 Fを使用する際の注意点	54
9 - 3 . 適合DRAM素子例	55

ご 注 意

- 1) 本製品および本資料は株式会社ジーニックの著作物です。したがって、本資料の全部または一部を無断で複製、転載することをご遠慮下さい。
- 2) 本製品及び本資料の内容は性能向上のために、予告なく変更する場合があります。御使用に際しては、最新の資料を御請求願います。
- 3) 本資料に記載されております内容は工業所有権その他の権利の実施に対する保証または実施権の許諾を行うものではありません。
- 4) 本資料に記載されております応用回路例は基本的な使用方法を示したものであり、回路の動作を保証するものではありません。
- 5) 本製品の具体的な運用の結果、他への影響については、責任を負いかねますので御了承下さい。
- 6) 本製品は一般的な電子機器（電算機、計測機器、産業用ロボット、位置決め装置など）に使用されることを意図しています。したがって、人命に直接関わる輸送機器、医療機器、宇宙、原子力関係機器などには使用しないで下さい。



株式会社ジーニック

URL <http://www.zenic.co.jp/> E-mail: support@zenic.co.jp
大津市大萱 1 丁目 17-14 松政ビル 6F 〒520-2144 tel 077-543-2101 fax 077-543-9431

(Z1501G97)ZENIC Inc.