

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

### 概述

### 优势与特性

MAX5823/MAX5824/MAX5825 8通道、低功耗、8/10/12位电压输出数/模转换器(DAC)带有输出缓冲器和3ppm/°C的2.048V、2.500V或4.096V可选择基准。MAX5823/MAX5824/MAX5825采用2.7V至5.5V宽电压范围供电，具有极低功耗(6mW)，适用于大多数低压应用。外部精密基准输入用于支持满幅工作，对外部基准具有100kΩ(典型值)的等效负载阻抗。

MAX5823/MAX5824/MAX5825采用I<sup>2</sup>C兼容、2线接口，可在高达400kHz时钟速率下工作。DAC输出带有缓冲，提供每通道小于250μA的低电源电流以及±0.5mV(典型值)的低失调误差。上电时，MAX5823/MAX5824/MAX5825根据M/¯的逻辑输入状态将DAC输出复位至零或中间值，为大多数控制系统提供灵活性。内部基准在初始上电时处于关断状态，允许采用外部基准。MAX5823/MAX5824/MAX5825采用软件LOAD命令或硬件装载DAC逻辑输入(LDAC)控制同时更新输出。

MAX5823/MAX5824/MAX5825内置看门狗功能，使能后用于监测I/O接口的动作及信号完整性操作。

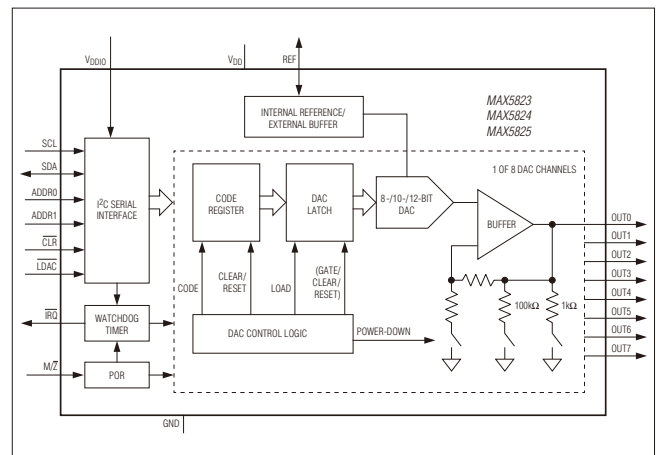
清零逻辑输入(CLR)允许异步清除CODE和DAC寄存器的内容，并同时DAC输出置于可编程的默认值。MAX5823/MAX5824/MAX5825采用20引脚TSSOP封装以及超小型、20焊球WLP封装，工作在-40°C至+125°C温度范围。

- ◆ 八通道高精度DAC
  - ◇ 12位精度，无需调整
  - ◇ ±1 LSB INL，带缓冲电压输出
  - ◇ 整个工作条件下保证单调
  - ◇ 每路DAC具有独立设置模式
- ◆ 三种可选择的内部精密基准
  - ◇ 2.048V、2.500V或4.096V
- ◆ 内部输出缓冲器
  - ◇ 采用外部基准支持满幅工作
  - ◇ 4.5μs建立时间
  - ◇ 输出可直接驱动2kΩ负载
- ◆ 小尺寸6.5mm × 4.4mm 20引脚TSSOP封装或超小尺寸2.5mm × 2.3mm 20焊球WLP封装
- ◆ 2.7V至5.5V宽电源范围
- ◆ 独立的1.8V至5.5V V<sub>DDIO</sub>电源输入
- ◆ 兼容于400kHz I<sup>2</sup>C高速2线串口
- ◆ 引脚可选择上电复位至零刻度或DAC输出中间刻度
- ◆ LDAC和CLR用于异步DAC控制
- ◆ 软件可选择三种关断输出阻抗
  - ◇ 1kΩ、100kΩ或高阻

### 应用

### 功能框图

可编程电压及电流源  
 增益与失调调节  
 自动调整和光学控制  
 功率放大器控制和偏置  
 过程控制和伺服环路  
 便携式仪表



订购信息在数据资料的最后给出。

相关型号以及配合该器件使用的推荐产品，请参见：[china.maximintegrated.com/MAX5823.related](http://china.maximintegrated.com/MAX5823.related)。

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249(北中国区)，10800 152 1249(南中国区)，或访问Maxim的中文网站：[china.maximintegrated.com](http://china.maximintegrated.com)。

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲 输出DAC，内置基准和I<sup>2</sup>C接口

### ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> , V <sub>DDIO</sub> to GND .....	-0.3V to +6V
OUT <sub>-</sub> , REF to GND....	0.3V to the lower of (V <sub>DD</sub> + 0.3V) and +6V
SCL, SDA, I <sup>2</sup> C, M/Z, LDAC, CLR to GND .....	-0.3V to +6V
ADDR <sub>-</sub> to GND.....	-0.3V to the lower of (V <sub>DDIO</sub> + 0.3V) and +6V
Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
TSSOP (derate at 13.6mW/°C above 70°C).....	1084mW
WLP (derate at 21.3mW/°C above 70°C).....	1700mW

Maximum Continuous Current into Any Pin .....	±50mA
Operating Temperature.....	-40°C to +125°C
Storage Temperature .....	-65°C to +150°C
Lead Temperature (TSSOP only)(soldering, 10s).....	+300°C
Soldering Temperature (reflow) .....	+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

### PACKAGE THERMAL CHARACTERISTICS (Note 1)

TSSOP	Junction-to-Ambient Thermal Resistance (θ <sub>JA</sub> ) .....	73.8°C/W	WLP	Junction-to-Ambient Thermal Resistance (θ <sub>JA</sub> )	
	Junction-to-Case Thermal Resistance (θ <sub>JC</sub> ) .....	20°C/W		(Note 2) .....	47°C/W

**Note 1:** Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to [china.maximintegrated.com/thermal-tutorial](http://china.maximintegrated.com/thermal-tutorial).

**Note 2:** Visit [china.maximintegrated.com/app-notes/index.mvp/id/1891](http://china.maximintegrated.com/app-notes/index.mvp/id/1891) for information about the thermal performance of WLP packaging.

### ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = 2.7V to 5.5V, V<sub>DDIO</sub> = 1.8V to 5.5V, V<sub>GND</sub> = 0V, C<sub>L</sub> = 200pF, R<sub>L</sub> = 2kΩ, T<sub>A</sub> = -40°C to +125°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC PERFORMANCE (Note 4)</b>						
Resolution and Monotonicity	N	MAX5823	8			Bits
		MAX5824	10			
		MAX5825	12			
Integral Nonlinearity (Note 5)	INL	MAX5823	-0.25	±0.05	+0.25	LSB
		MAX5824	-0.5	±0.2	+0.5	
		MAX5825	-1	±0.5	+1	
Differential Nonlinearity (Note 5)	DNL	MAX5823	-0.25	±0.05	+0.25	LSB
		MAX5824	-0.5	±0.1	+0.5	
		MAX5825	-1	±0.2	+1	
Offset Error (Note 6)	OE		-5	±0.5	+5	mV
Offset Error Drift				±10		µV/°C
Gain Error (Note 6)	GE		-1.0	±0.1	+1.0	%FS
Gain Temperature Coefficient		With respect to V <sub>REF</sub>		±3.0		ppm of FS/°C
Zero-Scale Error			0		+10	mV
Full-Scale Error		With respect to V <sub>REF</sub>	-0.5		+0.5	%FS

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲 输出DAC，内置基准和I<sup>2</sup>C接口

### ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 2.7V$  to  $5.5V$ ,  $V_{DDIO} = 1.8V$  to  $5.5V$ ,  $V_{GND} = 0V$ ,  $C_L = 200pF$ ,  $R_L = 2k\Omega$ ,  $T_A = -40^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DAC OUTPUT CHARACTERISTICS</b>						
Output Voltage Range (Note 7)		No load	0		$V_{DD}$	V
		2k $\Omega$ load to GND	0		$V_{DD} - 0.2$	
		2k $\Omega$ load to $V_{DD}$	0.2		$V_{DD}$	
Load Regulation		$V_{OUT} = V_{FS}/2$	$V_{DD} = 3V \pm 10\%$ , $ I_{OUT}  \leq 5mA$	300		$\mu V/mA$
			$V_{DD} = 5V \pm 10\%$ , $ I_{OUT}  \leq 10mA$	300		
DC Output Impedance		$V_{OUT} = V_{FS}/2$	$V_{DD} = 3V \pm 10\%$ , $ I_{OUT}  \leq 5mA$	0.3		$\Omega$
			$V_{DD} = 5V \pm 10\%$ , $ I_{OUT}  \leq 10mA$	0.3		
Maximum Capacitive Load Handling	$C_L$			500		pF
Resistive Load Handling	$R_L$		2			k $\Omega$
Short-Circuit Output Current		$V_{DD} = 5.5V$	Sourcing (output shorted to GND)	30		mA
			Sinking (output shorted to $V_{DD}$ )	50		
DC Power-Supply Rejection		$V_{DD} = 3V \pm 10\%$ or $5V \pm 10\%$		100		$\mu V/V$
<b>DYNAMIC PERFORMANCE</b>						
Voltage-Output Slew Rate	SR	Positive and negative		1.0		V/ $\mu s$
Voltage-Output Settling Time		$1/4$ scale to $3/4$ scale, to $\leq 1$ LSB, MAX5823		2.2		$\mu s$
			$1/4$ scale to $3/4$ scale, to $\leq 1$ LSB, MAX5824	2.6		
			$1/4$ scale to $3/4$ scale, to $\leq 1$ LSB, MAX5825	4.5		
DAC Glitch Impulse		Major code transition (code x7FF to x800)		2		nV*s
Channel-to-Channel Feedthrough (Note 8)		Internal reference		3.3		nV*s
		External reference		4.07		
Digital Feedthrough		Midscale code, all digital inputs from 0V to $V_{DDIO}$		0.2		nV*s
Power-Up Time		Startup calibration time (Note 9)		200		$\mu s$
		From power-down		50		$\mu s$

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲 输出DAC，内置基准和I<sup>2</sup>C接口

### ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = 2.7V to 5.5V, V<sub>DDIO</sub> = 1.8V to 5.5V, V<sub>GND</sub> = 0V, C<sub>L</sub> = 200pF, R<sub>L</sub> = 2kΩ, T<sub>A</sub> = -40°C to +125°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Voltage-Noise Density (DAC Output at Midscale)		External reference	f = 1kHz		90	nV/√Hz
			f = 10kHz		82	
		2.048V internal reference	f = 1kHz		112	
			f = 10kHz		102	
		2.5V internal reference	f = 1kHz		125	
			f = 10kHz		110	
		4.096V internal reference	f = 1kHz		160	
			f = 10kHz		145	
Integrated Output Noise (DAC Output at Midscale)		External reference	f = 0.1Hz to 10Hz		12	μV <sub>P-P</sub>
			f = 0.1Hz to 10kHz		76	
			f = 0.1Hz to 300kHz		385	
		2.048V internal reference	f = 0.1Hz to 10Hz		14	
			f = 0.1Hz to 10kHz		91	
			f = 0.1Hz to 300kHz		450	
		2.5V internal reference	f = 0.1Hz to 10Hz		15	
			f = 0.1Hz to 10kHz		99	
			f = 0.1Hz to 300kHz		470	
		4.096V internal reference	f = 0.1Hz to 10Hz		16	
			f = 0.1Hz to 10kHz		124	
			f = 0.1Hz to 300kHz		490	
Output Voltage-Noise Density (DAC Output at Full Scale)		External reference	f = 1kHz		114	nV/√Hz
			f = 10kHz		99	
		2.048V internal reference	f = 1kHz		175	
			f = 10kHz		153	
		2.5V internal reference	f = 1kHz		200	
			f = 10kHz		174	
		4.096V internal reference	f = 1kHz		295	
			f = 10kHz		255	
Integrated Output Noise (DAC Output at Full Scale)		External reference	f = 0.1Hz to 10Hz		13	μV <sub>P-P</sub>
			f = 0.1Hz to 10kHz		94	
			f = 0.1Hz to 300kHz		540	
		2.048V internal reference	f = 0.1Hz to 10Hz		19	
			f = 0.1Hz to 10kHz		143	
			f = 0.1Hz to 300kHz		685	
		2.5V internal reference	f = 0.1Hz to 10Hz		21	
			f = 0.1Hz to 10kHz		159	
			f = 0.1Hz to 300kHz		705	
		4.096V internal reference	f = 0.1Hz to 10Hz		26	
			f = 0.1Hz to 10kHz		213	
			f = 0.1Hz to 300kHz		750	

# MAX5823/MAX5824/MAX5825

超小尺寸、8通道、8/10/12位缓冲  
输出DAC，内置基准和I<sup>2</sup>C接口

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = 2.7V to 5.5V, V<sub>DDIO</sub> = 1.8V to 5.5V, V<sub>GND</sub> = 0V, C<sub>L</sub> = 200pF, R<sub>L</sub> = 2kΩ, T<sub>A</sub> = -40°C to +125°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>REFERENCE INPUT</b>							
Reference Input Range	V <sub>REF</sub>		1.24		V <sub>DD</sub>	V	
Reference Input Current	I <sub>REF</sub>	V <sub>REF</sub> = V <sub>DD</sub> = 5.5V		55	74	μA	
Reference Input Impedance	R <sub>REF</sub>		75	100		kΩ	
<b>REFERENCE OUTPUT</b>							
Reference Output Voltage	V <sub>REF</sub>	V <sub>REF</sub> = 2.048V, T <sub>A</sub> = +25°C	2.043	2.048	2.053	V	
		V <sub>REF</sub> = 2.5V, T <sub>A</sub> = +25°C	2.494	2.5	2.506		
		V <sub>REF</sub> = 4.096V, T <sub>A</sub> = +25°C	4.086	4.096	4.106		
Reference Temperature Coefficient (Note 10)		MAX5825A		±3	±10	ppm/°C	
		MAX5823/MAX5824/MAX5825B		±10	±25		
Reference Drive Capacity		External load		25		kΩ	
Reference Capacitive Load Handling				200		pF	
Reference Load Regulation		I <sub>SOURCE</sub> = 0 to 500μA		2		mV/mA	
Reference Line Regulation				0.05		mV/V	
<b>POWER REQUIREMENTS</b>							
Supply Voltage	V <sub>DD</sub>	V <sub>REF</sub> = 4.096V	4.5		5.5	V	
		All other options	2.7		5.5		
I/O Supply Voltage	V <sub>DDIO</sub>		1.8		5.5	V	
Supply Current (Note 11)	I <sub>DD</sub>	Internal reference	V <sub>REF</sub> = 2.048V		1.6	2	mA
			V <sub>REF</sub> = 2.5V		1.7	2.1	
			V <sub>REF</sub> = 4.096V		2.0	2.5	
		External reference	V <sub>REF</sub> = 3V		1.6	2.0	
			V <sub>REF</sub> = 5V		1.9	2.5	
Power-Down Mode Supply Current	I <sub>PD</sub>	All DACs off, internal reference ON		140		μA	
		All DACs off, internal reference OFF, T <sub>A</sub> = -40°C to +85°C		0.7	2		
		All DACs off, internal reference OFF, T <sub>A</sub> = +125°C		2	4		
Digital Supply Current	I <sub>DDIO</sub>	Static logic inputs, all outputs unloaded			1	μA	
<b>DIGITAL INPUT CHARACTERISTICS (SCL, SDA, ADDR0, ADDR1, LDAC, CLR, M<math>\bar{Z}</math>)</b>							
Input High Voltage (Note 11)	V <sub>IH</sub>	(All inputs except M $\bar{Z}$ )	2.2V < V <sub>DDIO</sub> < 5.5V		0.7 × V <sub>DDIO</sub>	V	
			1.8V < V <sub>DDIO</sub> < 2.2V		0.8 × V <sub>DDIO</sub>	V	
			2.7V < V <sub>DD</sub> < 5.5V (for M $\bar{Z}$ )		0.7 × V <sub>DD</sub>		

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲 输出DAC，内置基准和I<sup>2</sup>C接口

### ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 2.7V$  to  $5.5V$ ,  $V_{DDIO} = 1.8V$  to  $5.5V$ ,  $V_{GND} = 0V$ ,  $C_L = 200pF$ ,  $R_L = 2k\Omega$ ,  $T_A = -40^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Low Voltage (Note 11)	$V_{IL}$	(All inputs except $M/\bar{Z}$ )	$2.2V < V_{DDIO} < 5.5V$		$0.3 \times V_{DDIO}$	V
			$1.8V < V_{DDIO} < 2.2V$		$0.2 \times V_{DDIO}$	V
		$2.7V < V_{DD} < 5.5V$ (for $M/\bar{Z}$ )		$0.3 \times V_{DD}$		
Input Leakage Current	$I_{IN}$	$V_{IN} = 0V$ or $V_{DDIO}$ , all inputs except $M/\bar{Z}$ (Note 11)	$\pm 0.1$		$\pm 1$	$\mu A$
		$V_{IN} = 0V$ or $V_{DD}$ , for $M/\bar{Z}$ (Note 11)				
Input Capacitance (Note 10)	$C_{IN}$				10	pF
Hysteresis Voltage	$V_H$			0.15		V
ADDR_ Pullup/Pulldown Strength	$R_{PU}$ , $R_{PD}$	(Note 12)	30	50	90	$k\Omega$
<b>DIGITAL OUTPUT (SDA, <math>\bar{IRQ}</math>)</b>						
Output Low Voltage	$V_{OL}$	$I_{SINK} = 3mA$			0.2	V
Output Inactive Leakage	$I_{OFF}$	$\bar{IRQ}$ only, see $I_{IN}$ for SDA		$\pm 0.1$	$\pm 1$	$\mu A$
Output Inactive Capacitance	$C_{OFF}$	$\bar{IRQ}$ only, see $C_{IN}$ for SDA			10	pF
<b>WATCHDOG TIMER CHARACTERISTICS</b>						
Watchdog Timer Period	$t_{WDOSC}$	$V_{DD} = 3V$ , $T_A = +25^\circ C$	0.95	1	1.05	ms
Watchdog Timer Period Supply Drift		$V_{DD} = 2.7V$ to $5.5V$ , $T_A = +25^\circ C$		0.6		%/V
Watchdog Timer Period Temperature Drift		$V_{DD} = 3V$		0.0375		%/ $^\circ C$
<b>I<sup>2</sup>C TIMING CHARACTERISTICS (SCL, SDA, <math>\bar{LDAC}</math>, <math>\bar{CLR}</math>)</b>						
SCL Clock Frequency	$f_{SCL}$				400	kHz
Bus Free Time Between a STOP and a START Condition	$t_{BUF}$		1.3			$\mu s$
Hold Time Repeated for a START Condition	$t_{HD;STA}$		0.6			$\mu s$
SCL Pulse Width Low	$t_{LOW}$		1.3			$\mu s$
SCL Pulse Width High	$t_{HIGH}$		0.6			$\mu s$
Setup Time for Repeated START Condition	$t_{SU;STA}$		0.6			$\mu s$
Data Hold Time	$t_{HD;DAT}$		0		900	ns
Data Setup Time	$t_{SU;DAT}$		100			ns
SDA and SCL Receiving Rise Time	$t_R$		$20 + C_B/10$		300	ns

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

### ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 2.7V$  to  $5.5V$ ,  $V_{DDIO} = 1.8V$  to  $5.5V$ ,  $V_{GND} = 0V$ ,  $C_L = 200pF$ ,  $R_L = 2k\Omega$ ,  $T_A = -40^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SDA and SCL Receiving Fall Time	$t_F$		$20 + C_B/10$		300	ns
SDA Transmitting Fall Time	$t_F$		$20 + C_B/10$		250	ns
Setup Time for STOP Condition	$t_{SU:STO}$		0.6			$\mu s$
Bus Capacitance Allowed	$C_B$	$V_{DD} = 2.7V$ to $5.5V$	10		400	pF
Pulse Width of Suppressed Spike	$t_{SP}$			50		ns
$\overline{CLR}$ Removal Time Prior to a Recognized START	$t_{CLRSTA}$		100			ns
$\overline{CLR}$ Pulse Width Low	$t_{CLPW}$		20			ns
$\overline{LDAC}$ Pulse Width Low	$t_{LDPW}$		20			ns
$\overline{LDAC}$ Fall to SCLK Rise Hold	$t_{LDH}$		400			ns

**Note 3:** Limits are 100% production tested at  $T_A = +25^\circ C$  and/or  $T_A = +125^\circ C$ . Limits over the operating temperature range and relevant supply voltage range are guaranteed by design and characterization. Typical values are at  $T_A = +25^\circ C$  and are not guaranteed.

**Note 4:** DC performance is tested without load,  $V_{REF} = V_{DD}$ .

**Note 5:** Linearity is tested with unloaded outputs to within 20mV of GND and  $V_{DD}$ .

**Note 6:** Gain and offset calculated from measurements made at code 30 and 4065 with  $V_{REF} = V_{DD}$ .

**Note 7:** Subject to zero- and full-scale error limits and  $V_{REF}$  settings.

**Note 8:** Measured with all other DAC outputs at midscale with one channel transitioning 0 to full scale.

**Note 9:** On power-up, the device initiates an internal 200 $\mu s$  (typ) calibration sequence. All commands issued during this time will be ignored.

**Note 10:** Guaranteed by design.

**Note 11:** All channels active at  $V_{FS}$ , unloaded. Static logic inputs with  $V_{IL} = V_{GND}$  and  $V_{IH} = V_{DDIO}$  for all inputs.

**Note 12:** Unconnected conditions on the ADDR<sub>n</sub> inputs are sensed through a resistive pullup and pulldown operation; for proper operation, ADDR<sub>n</sub> inputs must be connected to  $V_{DDIO}$ , GND, or left unconnected with minimal capacitance.

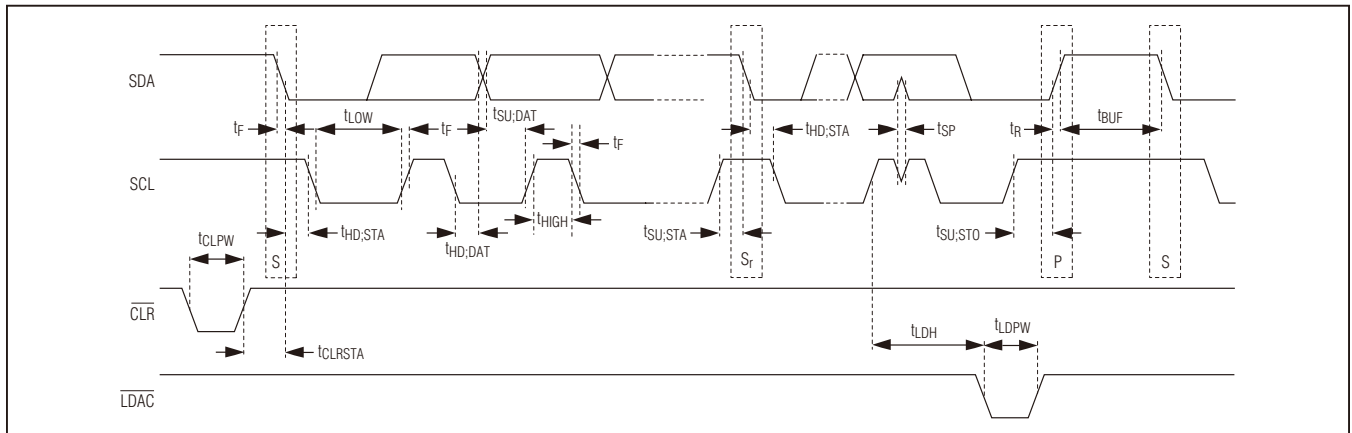


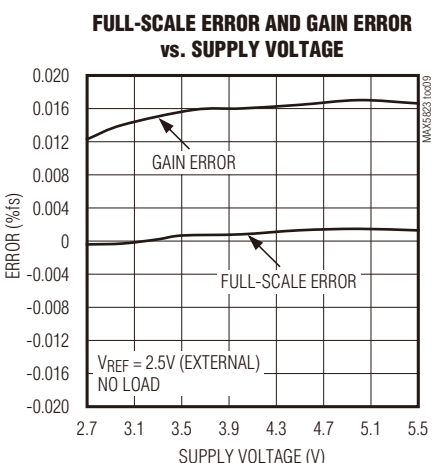
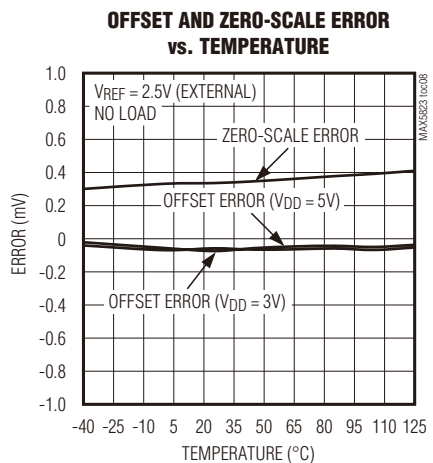
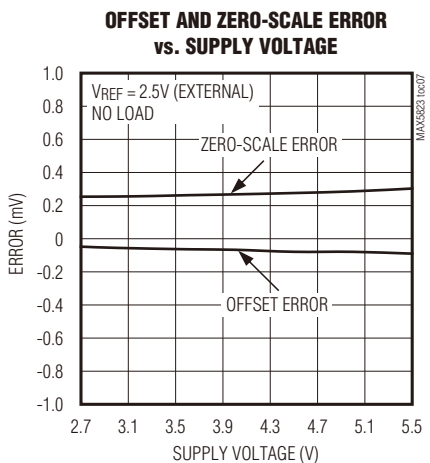
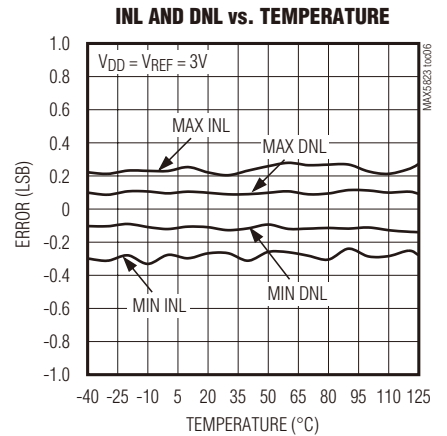
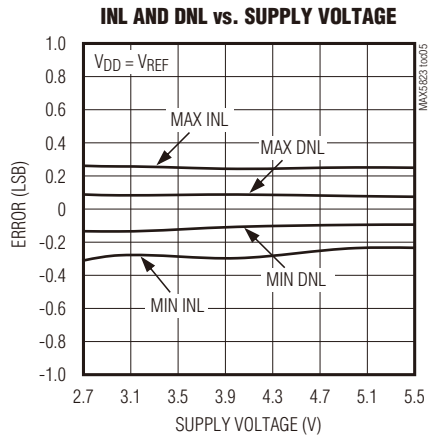
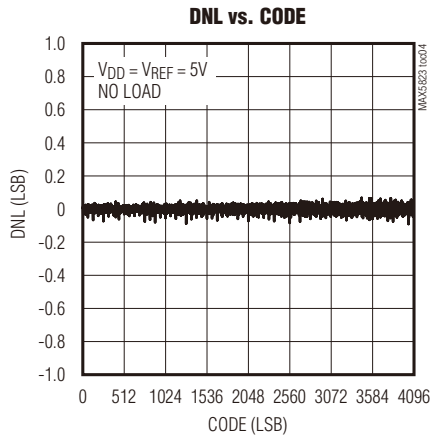
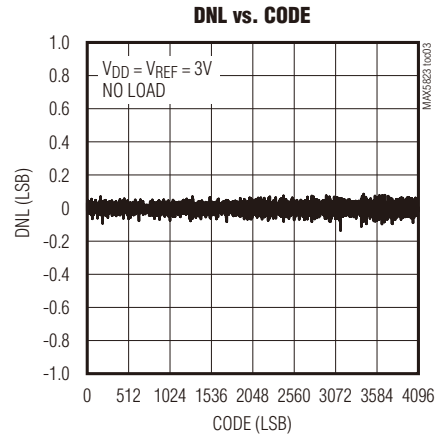
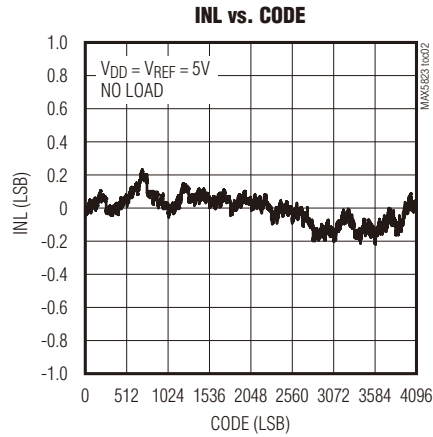
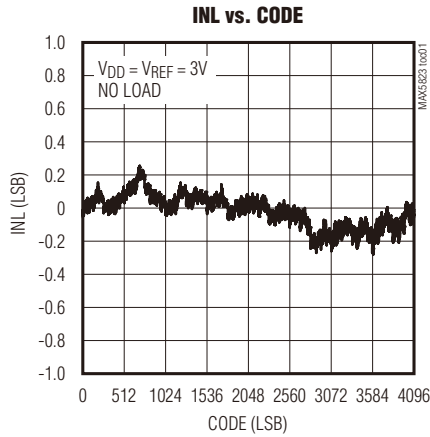
图1. I<sup>2</sup>C串口时序图

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

### 典型工作特性

(MAX5825, 12-bit performance,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)





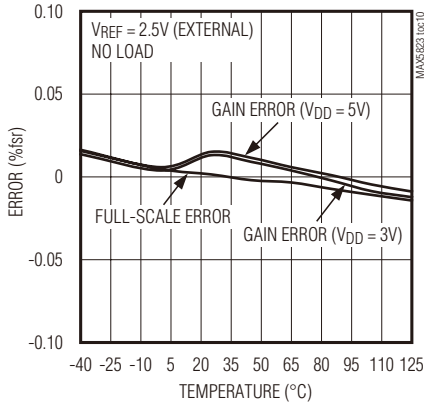
# MAX5823/MAX5824/MAX5825

超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

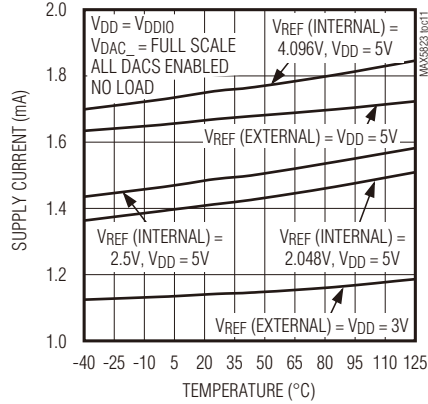
典型工作特性(续)

(MAX5825, 12-bit performance,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)

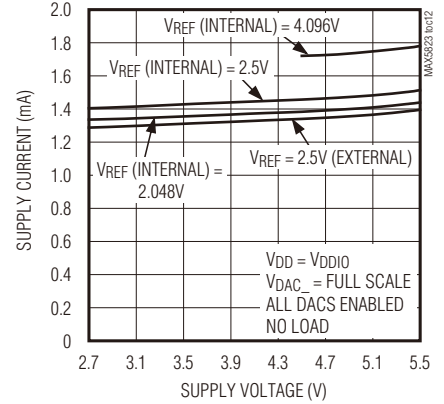
**FULL-SCALE ERROR AND GAIN ERROR vs. TEMPERATURE**



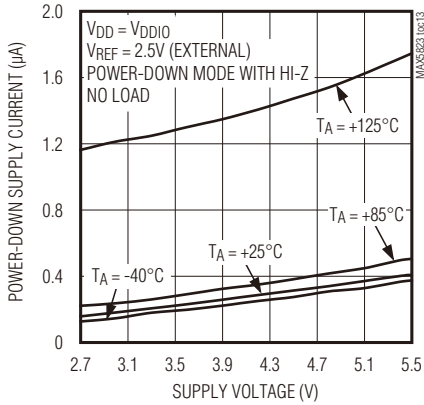
**SUPPLY CURRENT vs. TEMPERATURE**



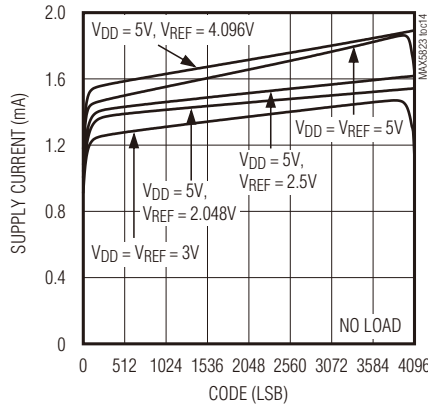
**SUPPLY CURRENT vs. SUPPLY VOLTAGE**



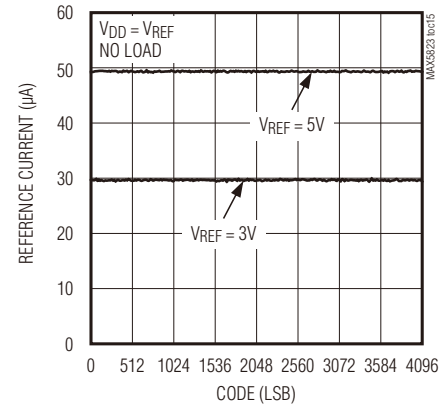
**POWER-DOWN MODE SUPPLY CURRENT vs. SUPPLY VOLTAGE**



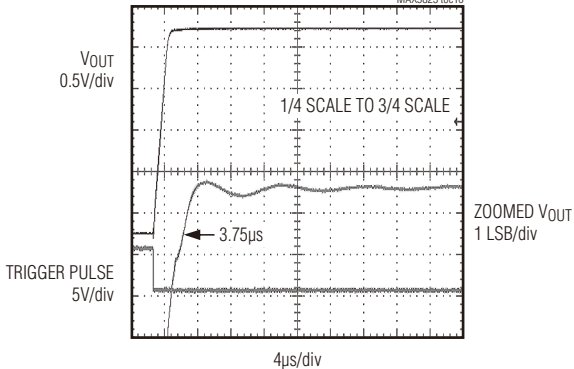
**I<sub>VDD</sub> vs. CODE**



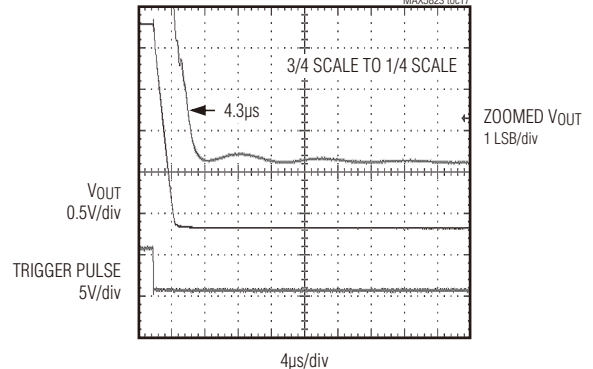
**I<sub>REF</sub> (EXTERNAL) vs. CODE**



**SETTLING TO  $\pm 1$  LSB**  
( $V_{DD} = V_{REF} = 5\text{V}$ ,  $R_L = 2\text{k}\Omega$ ,  $C_L = 200\text{pF}$ )



**SETTLING TO  $\pm 1$  LSB**  
( $V_{DD} = V_{REF} = 5\text{V}$ ,  $R_L = 2\text{k}\Omega$ ,  $C_L = 200\text{pF}$ )

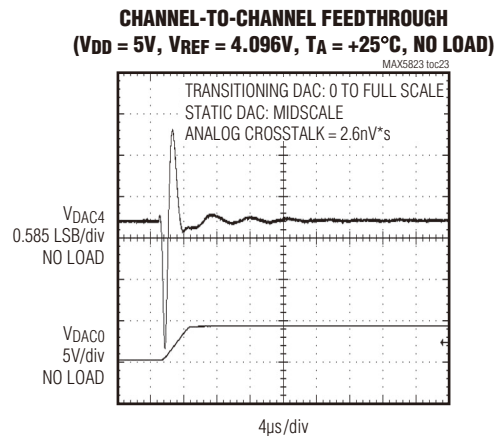
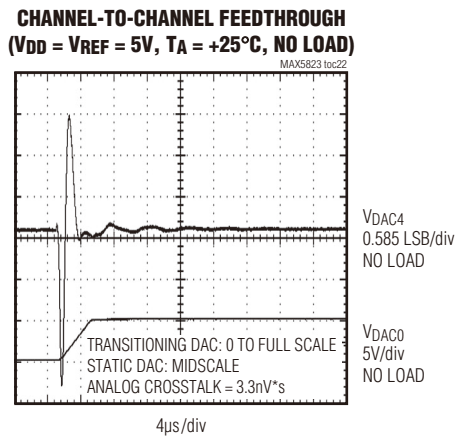
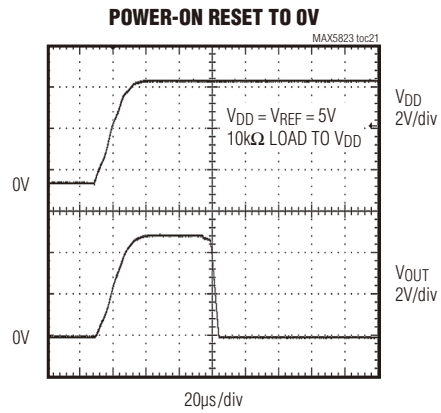
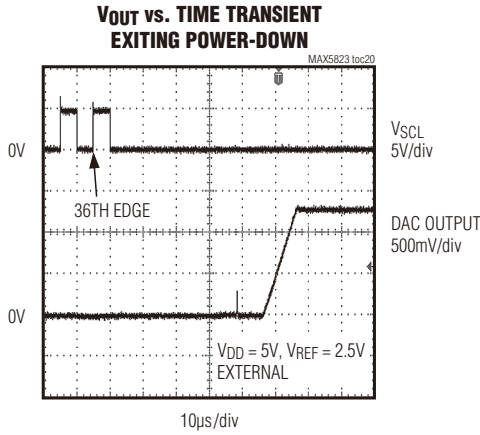
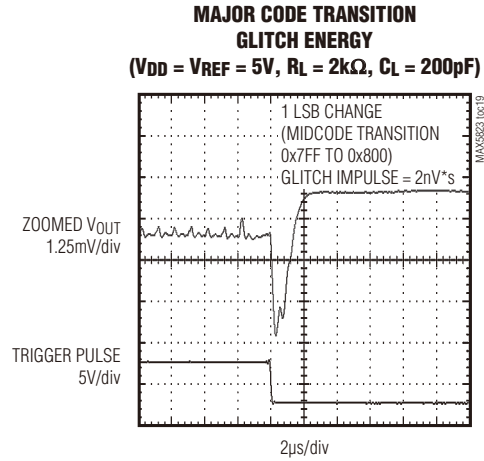
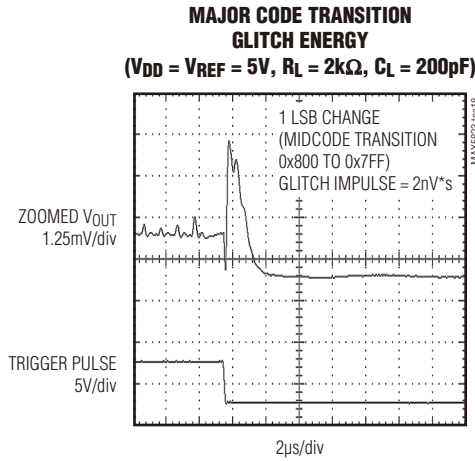


# MAX5823/MAX5824/MAX5825

超小尺寸、8通道、8/10/12位缓冲  
输出DAC，内置基准和I<sup>2</sup>C接口

典型工作特性(续)

(MAX5825, 12-bit performance,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



# MAX5823/MAX5824/MAX5825

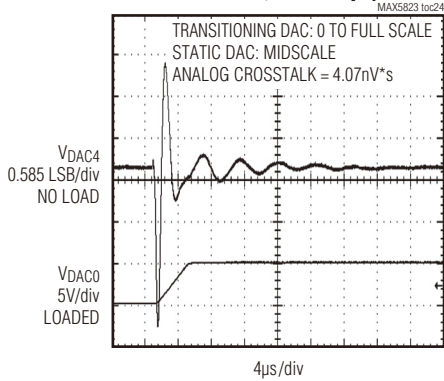
## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

典型工作特性(续)

(MAX5825, 12-bit performance,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)

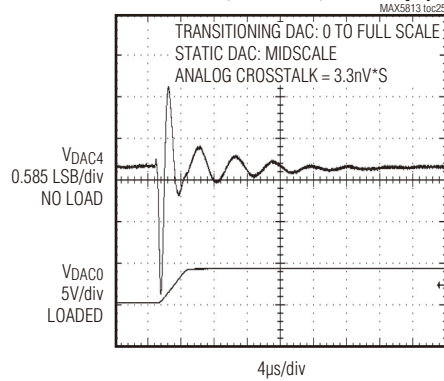
### CHANNEL-TO-CHANNEL FEEDTHROUGH

( $V_{DD} = V_{REF} = 5\text{V}$ ,  $T_A = +25^\circ\text{C}$ ,  
 $R_L = 2\text{k}\Omega$ ,  $C_L = 200\text{pF}$ )



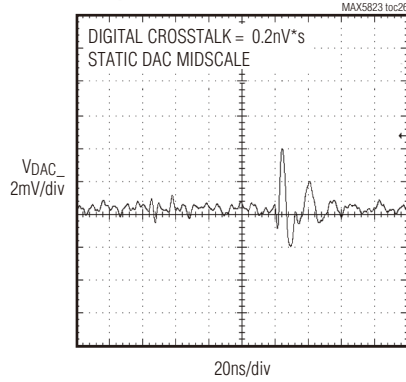
### CHANNEL-TO-CHANNEL FEEDTHROUGH

( $V_{DD} = 5\text{V}$ ,  $V_{REF} = 4.096\text{V}$  (INTERNAL),  
 $T_A = +25^\circ\text{C}$ ,  $R_L = 2\text{k}\Omega$ ,  $C_L = 200\text{pF}$ )

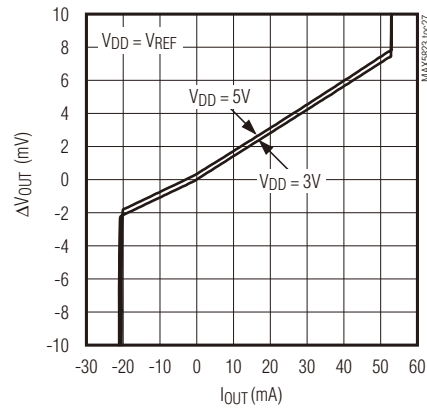


### DIGITAL FEEDTHROUGH

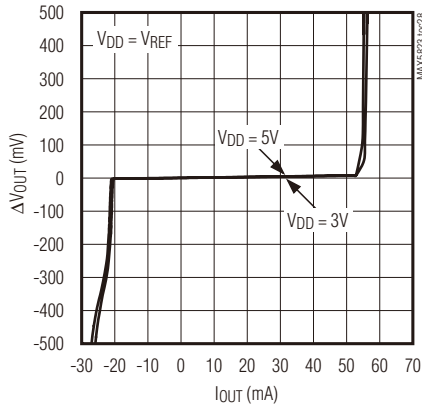
( $V_{DD} = V_{REF} = 5\text{V}$ ,  $R_L = 10\text{k}\Omega$ )



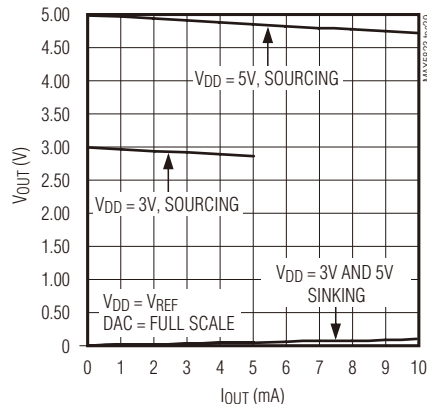
### OUTPUT LOAD REGULATION



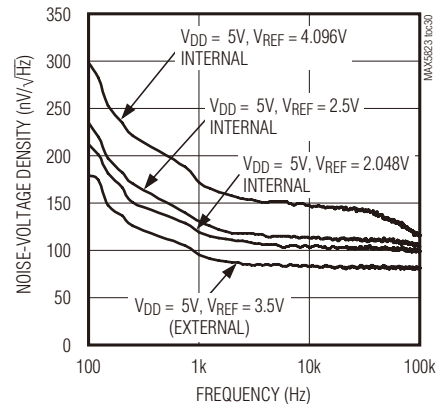
### OUTPUT CURRENT LIMITING



### HEADROOM AT RAILS vs. OUTPUT CURRENT



### NOISE-VOLTAGE DENSITY vs. FREQUENCY (DAC AT MIDSACLE)



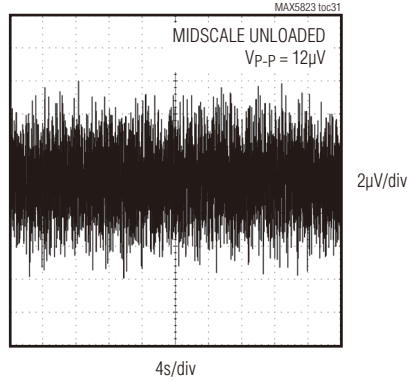
# MAX5823/MAX5824/MAX5825

超小尺寸、8通道、8/10/12位缓冲  
输出DAC，内置基准和I<sup>2</sup>C接口

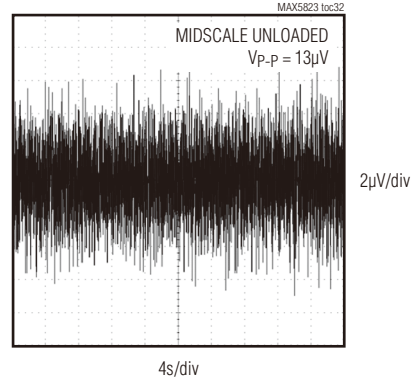
典型工作特性(续)

(MAX5825, 12-bit performance,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)

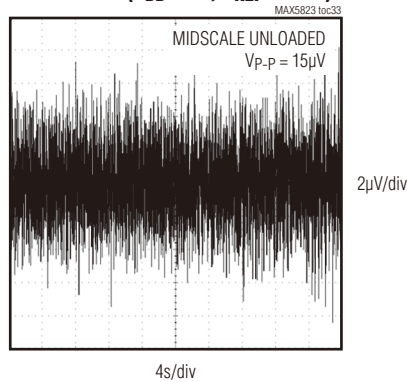
**0.1Hz TO 10Hz OUTPUT NOISE, EXTERNAL REFERENCE ( $V_{DD} = 5V$ ,  $V_{REF} = 4.5V$ )**



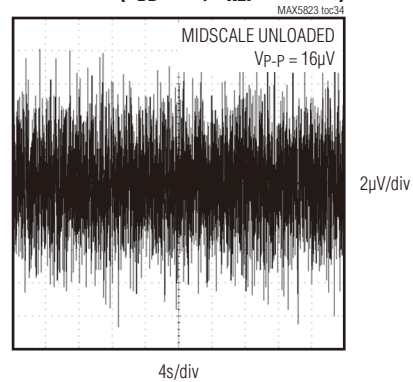
**0.1Hz TO 10Hz OUTPUT NOISE, INTERNAL REFERENCE ( $V_{DD} = 5V$ ,  $V_{REF} = 2.048V$ )**



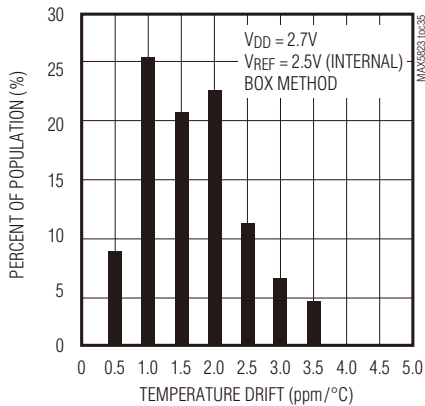
**0.1Hz TO 10Hz OUTPUT NOISE, INTERNAL REFERENCE ( $V_{DD} = 5V$ ,  $V_{REF} = 2.5V$ )**



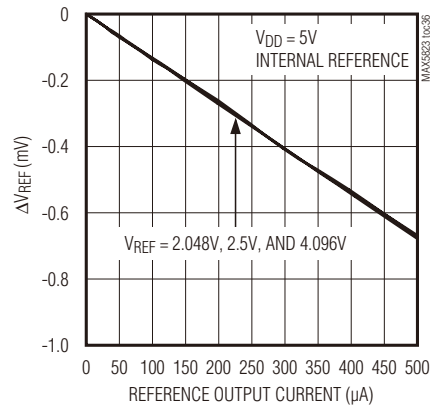
**0.1Hz TO 10Hz OUTPUT NOISE, INTERNAL REFERENCE ( $V_{DD} = 5V$ ,  $V_{REF} = 4.096V$ )**



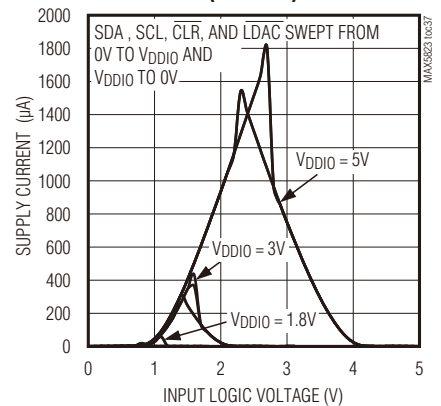
**$V_{REF}$  DRIFT vs. TEMPERATURE**



**REFERENCE LOAD REGULATION**



**SUPPLY CURRENT vs. INPUT LOGIC VOLTAGE ( $V_{DD} = 3V$ )**

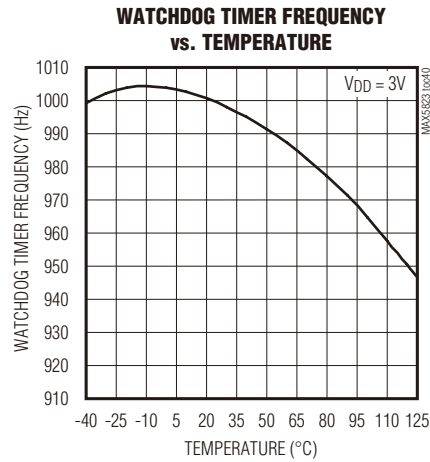
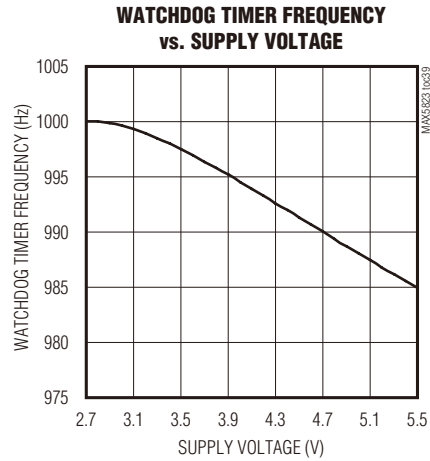
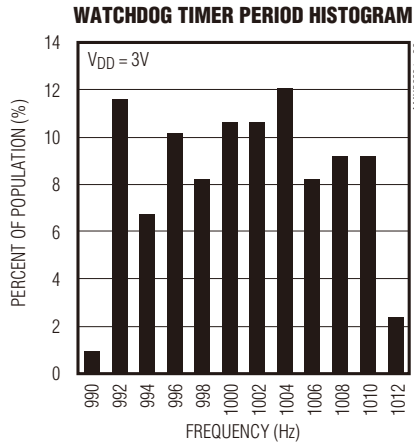


# MAX5823/MAX5824/MAX5825

超小尺寸、8通道、8/10/12位缓冲  
输出DAC，内置基准和I<sup>2</sup>C接口

典型工作特性(续)

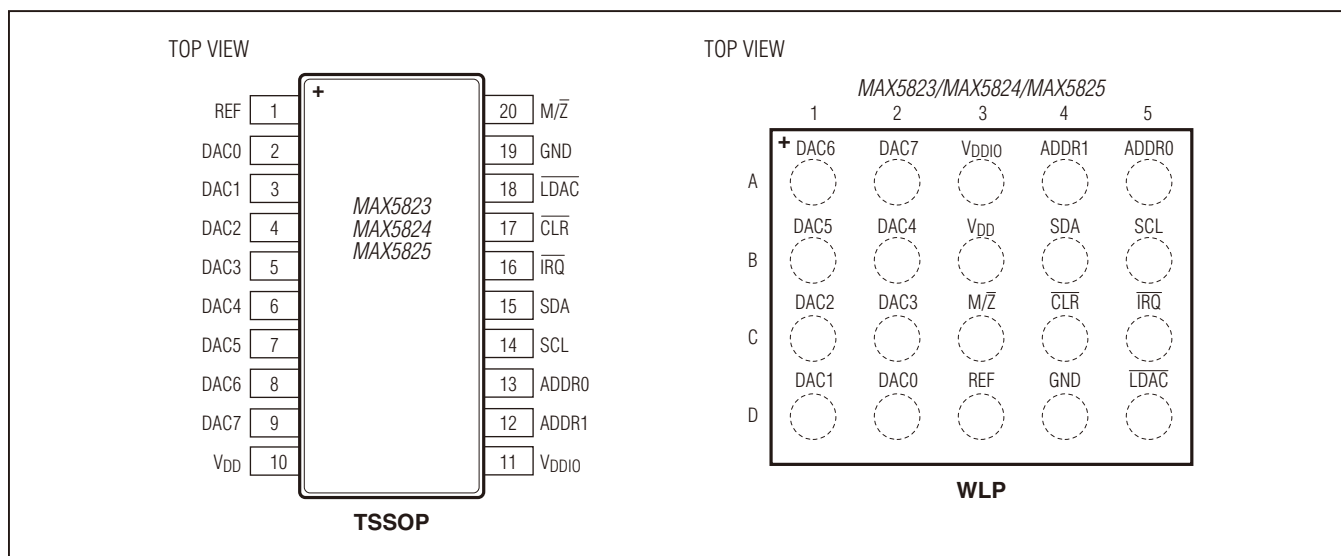
(MAX5825, 12-bit performance,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



# MAX5823/MAX5824/MAX5825

超小尺寸、8通道、8/10/12位缓冲  
输出DAC，内置基准和I<sup>2</sup>C接口

引脚配置



引脚说明

引脚		名称	功能
TSSOP	WLP		
1	D3	REF	基准电压输入/输出。
2	D2	DAC0	DAC通道0电压输出。
3	D1	DAC1	DAC通道1电压输出。
4	C1	DAC2	DAC通道2电压输出。
5	C2	DAC3	DAC通道3电压输出。
6	B2	DAC4	DAC通道4电压输出。
7	B1	DAC5	DAC通道5电压输出。
8	A1	DAC6	DAC通道6电压输出。
9	A2	DAC7	DAC通道7电压输出。
10	B3	V <sub>DD</sub>	模拟电源电压。
11	A3	V <sub>DDIO</sub>	数字电源电压。
12	A4	ADDR1	I <sup>2</sup> C地址选择位1。
13	A5	ADDR0	I <sup>2</sup> C地址选择位0。
14	B5	SCL	I <sup>2</sup> C串行数据时钟输入。
15	B4	SDA	I <sup>2</sup> C串行数据总线输入/输出。
16	C5	IRQ	低电平有效开漏中断输出。IRQ为低电平表示看门狗超时。
17	C4	CLR	低电平有效异步DAC清零输入。
18	D5	LDAC	低电平有效异步DAC装载输入。
19	D4	GND	地。
20	C3	M/Z	DAC输出复位选择。将M/Z连接至GND选择零刻度，将M/Z连接至V <sub>DD</sub> 选择中间刻度。

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

### 详细说明

MAX5823/MAX5824/MAX5825为8通道、低功耗、8/10/12位缓冲电压输出DAC。2.7V至5.5V较宽的供电电压范围和低功耗特性，能够支持大多数低功耗和低压应用。器件对外部基准呈现100kΩ负载阻抗。内部输出缓冲器允许满摆幅工作。提供内部电压基准，利用软件可选择2.048V、2.500V或4.096V。器件具有快速400kHz I<sup>2</sup>C兼容接口。MAX5823/MAX5824/MAX5825包括串入/并出移位寄存器、内部CODE和DAC寄存器、将DAC输出初始化为零(M/ $\bar{Z}$  = 0)或中间值(M/ $\bar{Z}$  = 1)的上电复位(POR)电路，以及控制逻辑。

$\overline{\text{CLR}}$ 用于将DAC输出异步复位至用户可编程的默认值，独立于串行接口。 $\overline{\text{LDAC}}$ 用于同时更新单片或多片器件上所选择的DAC。MAX5823/MAX5824/MAX5825还带有用户可配置的接口看门狗，其状态由 $\overline{\text{IRQ}}$ 输出指示。

### DAC输出(OUT<sub>n</sub>)

MAX5823/MAX5824/MAX5825的所有DAC输出均具有内部缓冲器，改善DAC输出的负载调整。输出缓冲器摆率为1V/ $\mu\text{s}$ （典型值），可驱动低至2kΩ与500pF的并联负载。由于模拟电源电压(V<sub>DD</sub>)为输出缓冲器供电，因而决定了器件的最大输出电压范围。空载条件下，输出缓冲器的输出可从GND至V<sub>DD</sub>，具体受失调和增益误差的影响。对GND的负载为2kΩ时，输出缓冲器输出范围为GND至低于V<sub>DD</sub> 200mV范围。对V<sub>DD</sub>的负载为2kΩ时，输出缓冲器输出范围为高于GND 200mV至V<sub>DD</sub>。

DAC的理想输出电压定义为：

$$V_{\text{OUT}} = V_{\text{REF}} \times \frac{D}{2^N}$$

式中，D = 装载至DAC寄存器的编码，V<sub>REF</sub> = 基准电压，N = 分辨率。

### 内部寄存器结构

用户接口与DAC逻辑相互独立，以将数字馈通降至最小。串行接口内部为输入移位寄存器，根据用户命令，该寄存器内容可送至单个或多个DAC的控制寄存器。

每个DAC通道都有一个CODE寄存器，然后是DAC锁存寄存器(见[详细功能框图](#))。CODE寄存器的内容为即将输出的DAC设置，随后可装载至DAC寄存器。可利用CODE和CODE\_LOAD用户命令更新CODE寄存器。DAC寄存器的内容为当前DAC输出设置。使用CODE\_LOAD命令可直接从串行接口更新DAC寄存器，或者利用LOAD命令或 $\overline{\text{LDAC}}$ 逻辑输入，将CODE寄存器的当前内容装载至DAC寄存器。

关断状态期间，保存CODE和DAC寄存器的内容，所以DAC在上电时恢复其之前储存的输出设置。关断状态期间发出的任何CODE或LOAD命令继续更新寄存器内容。

器件上电后，利用RETURN命令，可为每个DAC通道独立设置一个预期RETURN值。CODE和DAC寄存器在发生任何看门狗、清零或选通动作后(由DEFAULT命令选择)使用该值。

硬件 $\overline{\text{CLR}}$ 操作和SW\_CLEAR命令将全部CODE和DAC寄存器的内容恢复为用户选择的默认值。SW\_RESET命令将CODE和DAC寄存器的内容复位至M/ $\bar{Z}$ 所选的初始编码。可使用SW\_GATE将所选的DAC输出暂时保存在其DEFAULT位置。CODE和DAC寄存器的内容可由看门狗定时器控制，实现各种安全特性。

### 内部基准

MAX5823/MAX5824/MAX5825带有内部高精度电压基准，利用软件可选择2.048V、2.500V或4.096V。内部基准选定后，REF输出为其它外部电路提供该电压(见[典型工作电路](#))并可驱动低至25kΩ的负载。



# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

### 外部基准

外部基准输入具有100kΩ的典型输入阻抗，支持从+1.24V至V<sub>DD</sub>的输入电压。使用外部基准时，在REF和GND之间施加外部电压。MAX5823/MAX5824/MAX5825在上电和复位时为外部基准模式。关于外部电压基准器件的参考列表，请访问[china.maximintegrated.com/products/references](http://china.maximintegrated.com/products/references)。

### M/ $\bar{Z}$ 输入

使用M/ $\bar{Z}$ 输入，MAX5823/MAX5824/MAX5825具有引脚可选DAC复位状态。上电复位后，全部CODE和DAC数据寄存器复位至零(M/ $\bar{Z}$  = GND)或中间值(M/ $\bar{Z}$  = V<sub>DD</sub>)。M/ $\bar{Z}$ 以V<sub>DD</sub> (非V<sub>DDIO</sub>)为基准。此外，器件上电时，M/ $\bar{Z}$ 必须有效—将M/ $\bar{Z}$ 直接连接至V<sub>DD</sub>或GND。

### 装载DAC ( $\overline{LDAC}$ )输入

MAX5823/MAX5824/MAX5825具有低电平有效的异步 $\overline{LDAC}$ 逻辑输入，允许DAC输出同时更新。仅通过串行接口控制器件时，正常工作期间，将 $\overline{LDAC}$ 连接至V<sub>DDIO</sub>或保持 $\overline{LDAC}$ 为高电平。将 $\overline{LDAC}$ 驱动为低电平时，用CODE寄存器中的数据更新DAC输出。保持 $\overline{LDAC}$ 为低电平时，使DAC寄存器变为透明，CODE数据直通至DAC寄存器，并立即更新DAC输出。利用软件CONFIG命令可独立配置每个DAC的 $\overline{LDAC}$ 工作。

### 清除( $\overline{CLR}$ )输入

MAX5823/MAX5824/MAX5825具有异步、低电平有效 $\overline{CLR}$ 逻辑输入，可同时全部所选DAC输出设置为可编程DEFAULT状态。将 $\overline{CLR}$ 驱动为低电平时，清除CODE和DAC寄存器的内容，并且也忽略正在运行的更改DAC寄存器的I<sup>2</sup>C命令(该DAC已经配置为接收清除操作)。为了允许新I<sup>2</sup>C命令，将 $\overline{CLR}$ 驱动为高电平，满足t<sub>CLRSTA</sub>定时要求。可利用软件CONFIG命令独立配置每个DAC的清除工作。

### 看门狗特性

MAX5823/MAX5824/MAX5825集成接口看门狗定时器，超时可设置，以监测I/O接口的活动和完整性。如果使能看门狗，主机处理器必须在超时周期内向器件写有效命令，以防超时。如果允许看门狗超时，所选DAC输出恢复至可编程DEFAULT状态，防止系统发生控制故障。

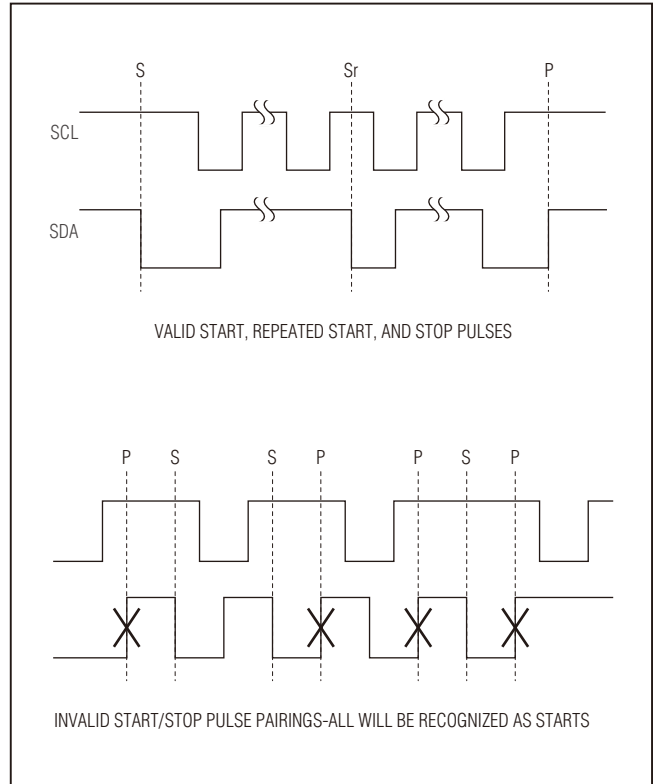


图2. I<sup>2</sup>C START、Repeated START和STOP条件

默认设置下，禁用全部看门狗特性；如果用户希望激活任何看门狗特性，必须相应地配置器件。利用CONFIG命令，可将每个DAC通道配置为接受看门狗报警，并选通、清除或保持其输出，以响应报警。利用WDOG\_CONFIG命令，可按照编程安全等级定义超时后的看门狗刷新事件和看门狗行为。

### $\overline{IRQ}$ 输出

MAX5823/MAX5824/MAX5825具有低电平有效开漏中断输出，看门狗发生超时，通知主控制器。



# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

### 接口电源(V<sub>DDIO</sub>)

MAX5823/MAX5824/MAX5825具有用于数字接口(1.8V至5.5V)的独立电源输入(V<sub>DDIO</sub>)。将V<sub>DDIO</sub>连接至主处理器的I/O电源。

### I<sup>2</sup>C串行接口

MAX5823/MAX5824/MAX5825具有兼容I<sup>2</sup>C/SMBus™的2线串行接口，由一根串行数据线(SDA)和一根串行时钟线(SCL)组成。在高达400kHz时钟速率下，SDA和SCL可使能MAX5823/MAX5824/MAX5825和主机之间的通信。图1所示为2线接口的时序图。主机在总线上产生SCL并发起数据传输。主机通过发送相应的从地址、随后跟命令字节、紧接着发送数据字向MAX5823/MAX5824/MAX5825写入数据。每个传输序列帧由START (S)或Repeated START (Sr)条件和STOP (P)条件构成。发送至MAX5823/MAX5824/MAX5825的每个字长为8位，其后是应答时钟脉冲。主机从MAX5823/MAX5824/MAX5825读取数据时，必须发送相应的从地址，然后是每个请求数据字节所需的9个SCL脉冲。MAX5823/MAX5824/MAX5825通过SDA发送数据，与主机产生的SCL脉冲同步。主机在接收到每字节的数据后将对其进行应答。每一个读序列帧由START或Repeated START条件、非应答和STOP条件构成。SDA既是输入又是开漏输出。SDA要求典型值为4.7kΩ的上拉电阻。SCL仅作为输入。如果总线上有多个主机，或者具有开漏SCL输出的单主机，SCL上则需要一个上拉电阻，通常为4.7kΩ。

SDA和SCL线上的串联电阻是可选的。串联电阻保护MAX5823/MAX5824/MAX5825的数字输入免受总线上高压尖峰的损坏，并最大程度降低总线信号的串扰和下冲。MAX5823/MAX5824/MAX5825支持高于V<sub>DDIO</sub>的总线电压，最大限值为5.5V；不建议使用低于V<sub>DDIO</sub>的总线电压，可能会造成接口电流明显增大。MAX5823/MAX5824/MAX5825数字输入采用双缓冲。根据通过串行接口发送的命令，可使用写命令装载CODE寄存器，不影响DAC寄

表1. I<sup>2</sup>C从地址LSB

ADDR1	ADDR0	A3	A2	A1	A0
V <sub>DDIO</sub>	V <sub>DDIO</sub>	1	1	1	1
V <sub>DDIO</sub>	N.C.	1	1	1	0
V <sub>DDIO</sub>	GND	1	1	0	0
N.C.	V <sub>DD</sub>	1	0	1	1
N.C.	N.C.	1	0	1	0
N.C.	GND	1	0	0	0
GND	V <sub>DDIO</sub>	0	0	1	1
GND	N.C.	0	0	1	0
GND	GND	0	0	0	0

寄存器。为更新DAC寄存器，可将LDAC输入驱动为低电平，同时更新全部DAC输出，或者使用软件LOAD命令。

### I<sup>2</sup>C START和STOP条件

不使用总线时，SDA和SCL的空闲状态为高电平。主机通过发送START条件启动通信。START条件是SCL为高电平时，SDA由高到低的跳变。STOP条件是SCL为高电平时，SDA由低到高跳变(图2)。主机发出START条件通知MAX5823/MAX5824/MAX5825开始传输。主机通过发送STOP条件终止传输并释放总线。如果产生的是Repeated START条件而不是STOP条件，则总线保持有效。

### I<sup>2</sup>C提前STOP和Repeated START条件

MAX5823/MAX5824/MAX5825在数据传输期间可随时识别STOP条件，除非STOP条件与START条件出现在同一高电平脉冲。以提前STOP条件结束的传输将不影响内部的器件设置。如果在读回字节期间发生STOP条件，传输结束，随后的读模式请求将从起点传输请求的寄存器数据(仅适用于组合格式I<sup>2</sup>C读模式传输)，接口验证模式传输将不可靠。请参见图2。

SMBus是Intel Corp.的商标。

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

### I<sup>2</sup>C从地址

从地址定义为7个最高有效位(MSB)，后边跟R/W控制位。请参见图4。三个最高有效位为001，4个LSB由ADDR1和ADDR0确定，如表1所示。将R/W位置1时，将MAX5823/MAX5824/MAX5825配置为读模式。将R/W位置0时，将MAX5823/MAX5824/MAX5825配置为写模式。从地址是在START条件后发送到MAX5823/MAX5824/MAX5825的第一个信息字节。

为提供更多地址，MAX5823/MAX5824/MAX5825能够检测ADDR\_输入上的浮空(N.C.)状态；如果ADDR\_输入不连接，必须确保ADDR\_输入上的负载降至最小(例如，为ADDR\_提供一个支撑点，但不允许任何电路板走线)。

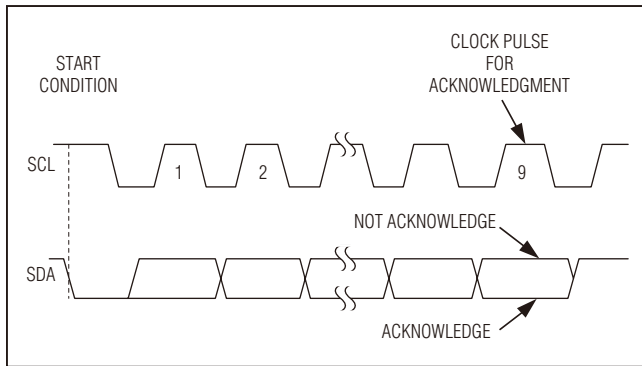


图3. I<sup>2</sup>C应答

### I<sup>2</sup>C广播地址

为更新或配置指定I<sup>2</sup>C总线上的全部MAX5823/MAX5824/MAX5825器件，提供了广播地址。无论地址引脚的状态如何，全部MAX5823/MAX5824/MAX5825器件应答和响应广播器件地址00101000。广播模式仅用于写模式(正如给定地址中的R/W = 0)。

### I<sup>2</sup>C应答

写模式时，应答位(ACK)是第9个时钟位，是MAX5823/MAX5824/MAX5825对其接收的每个数据字节的握手信号，如图3所示。如果成功地接收了之前的字节，MAX5823/MAX5824/MAX5825在主机产生的第9个时钟脉冲期间内拉低SDA。监测ACK可以检测失败的数据传输。如果接收器件忙或者系统发生故障，则会出现数据传输失败。如果数据传输失败，总线主控制器会重试通信。

读模式下，主机在第9个时钟周期期间拉低SDA，作为从MAX5823/MAX5824/MAX5825接收到数据的应答。每次读取字节后，主机均发送应答信号，使数据继续传输。主机从MAX5823/MAX5824/MAX5825读取数据的最后字节时，发送非应答，随后是STOP条件。

### I<sup>2</sup>C命令字节和数据字节

命令字节跟在从地址之后。命令字节后边通常跟两个数据字节，除非本身是传输中的最后一个字节。如果数据字节跟随命令字节，命令字节表示接收随后2个数据字节的寄存器地址。数据字节储存在暂存寄存器中，然后在两个字节之间的ACK期间传输至相应寄存器。这避免了接口有效时的尖峰脉冲或对DAC的数字馈通。

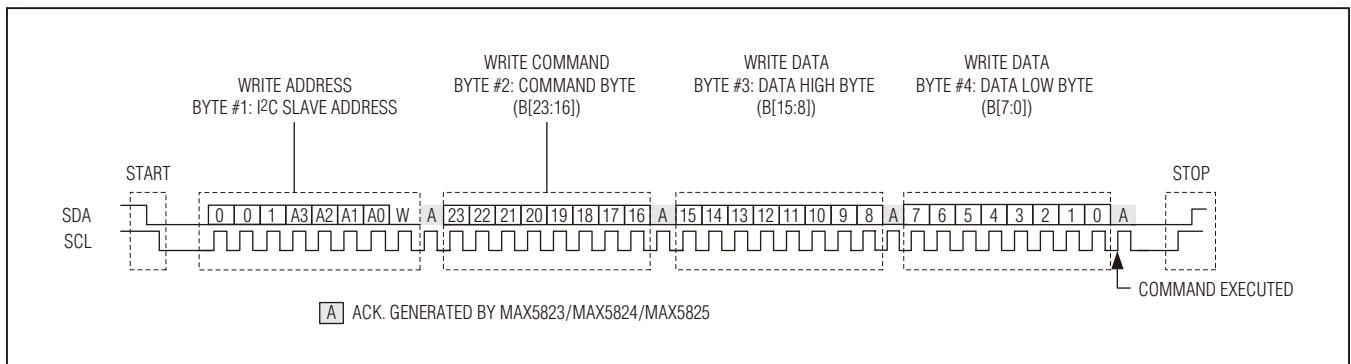


图4. I<sup>2</sup>C单个寄存器写序列

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

### I<sup>2</sup>C写操作

主机通过传输正确的从地址，随后为命令和数据字，实现与MAX5823/MAX5824/MAX5825通信。每个传输序列帧都由START或Repeated START条件和STOP条件构成，如上所述。每个字都是8位并总是跟一个应答时钟(ACK)脉冲，如图4和图5所示。第一个字节包含MAX5823/MAX5824/MAX5825的地址，R/W = 0，表示写操作。第二个字节包含要写入的寄存器(或命令)，第三和第四字节包含要写入的数据。通过重复寄存器地址和数据对(图4和图5中的字节2至4)，用户可采用单个I<sup>2</sup>C命令序列写多个寄存器。用户用单个命令写多个寄存器的数量不受限。对于所有用户可存取的写模式命令，MAX5823/MAX5824/MAX5825均支持这种功能。

### 组合格式I<sup>2</sup>C读回操作

每个读回序列帧都由START或Repeated START条件和STOP条件构成。每个字都是8位，后边跟应答时钟脉冲，如图6所示。第一个字节包含MAX5823/MAX5824/MAX5825的地址，R/W = 0，表示写操作。第二个字节包含将被读回的寄存器。发送Repeated START条件，后边跟器件地址(设置为R/W = 1，表示读操作)以及一个应答时钟。主机控制SCL，但是MAX5823/MAX5824/MAX5825接管SDA线。数据帧中的最后2个字节为读回的寄存器数据，随后为STOP条件。如果提供的字节超过读回的请求数据，MAX5823/MAX5824/MAX5825将连续读回1。

直接支持WDOG命令(B[23:20] = 0001)的读回，确认当前看门狗超时选择、屏蔽状态和安全等级。

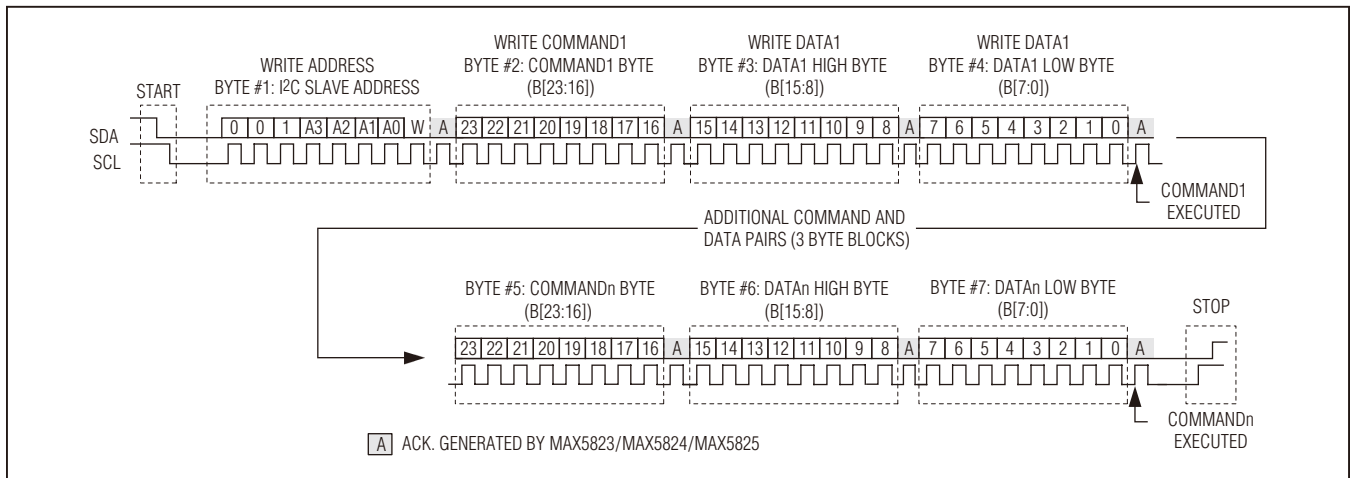


图5. 多个寄存器写序列(标准I<sup>2</sup>C协议)

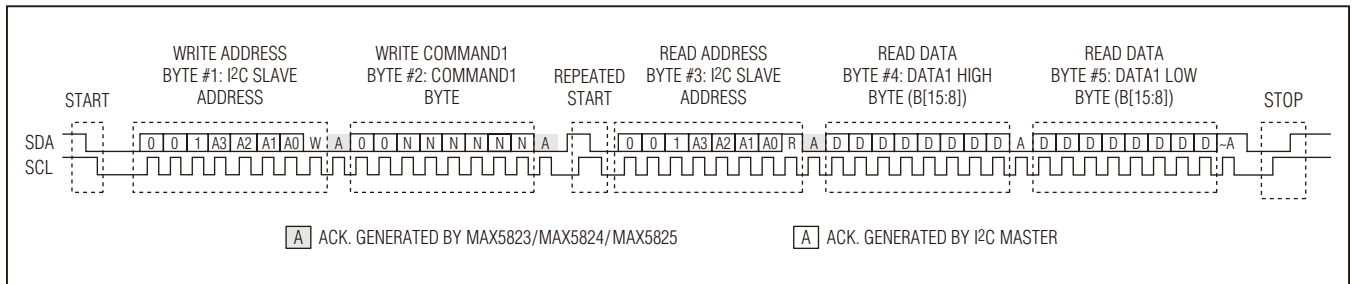


图6. 标准I<sup>2</sup>C寄存器读序列

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

RETURN命令(B[23:20] = 0111)支持读回单个RETURN寄存器。该命令支持DAC地址，将返回请求通道的RETURN寄存器内容，以及所选的DAC地址。如果选择全部DAC，将从RETURN0内容开始读回，然后依次读回其余的DAC通道。RETURN\_ALL (B[23:16] = 11000011)命令与选中全部DAC寄存器时的RETURN命令完全相同。

CODE命令(B[23:20] = 1000)支持读回单个CODE寄存器。该命令支持DAC地址，将返回请求通道的CODE寄存器内容，以及所选的DAC地址。如果选择全部DAC，将从CODE0内容开始读回，然后依次读回其余的DAC通道。CODE\_ALL (B[23:16] = 11000000)命令与选中全部DAC寄存器时的CODE命令完全相同。

全部LOAD命令(B[23:20] = 1001, 1010, 1011)支持读回单个DAC寄存器。这些命令支持DAC地址，将返回请求的DAC寄存器内容，以及所选的DAC地址。如果选择全部DAC，将从DAC0内容开始读回，然后依次读回其余的DAC通道。LOAD\_ALL和CODE\_ALL\_LOAD\_ALL命令(B[23:16]分别为11000001和11000010)与选中全部DAC时的LOAD命令完全相同。

POWER命令(B[23:20] = 0100)支持读回POWER寄存器。每个DAC的电源状态由B[7:0]指示，1表示DAC关断，0表示DAC正在工作(见表2)。

其它全部寄存器不直接支持读回。如果读取不支持的寄存器，将读回器件的当前看门狗定时器状态(WD:0 = 正常，1 = 超时)、基准设置(REF[2:0])和CLR条件，以及器件版本(B[10:8] = 001)和器件ID (B[7:0])，格式如表2所示。

### 接口验证I<sup>2</sup>C读回操作

MAX5823/MAX5824/MAX5825支持所选寄存器的标准I<sup>2</sup>C读回，也能够在接口验证模式下工作。在执行写模式命令后跟读回操作，任何时间均可采用该模式。该模式下，将最后执行的三个字节命令作为整体读回。该功能允许验证接口。

示例命令序列如图7所示。第一个命令传输为写模式(R/W = 0)，必须运行完成以符合接口读回验证。现在需要一个STOP/START对或Repeated START条件，后边跟读回传输(R/W = 1，以表示读操作)，以及MAX5823/MAX5824/MAX5825的应答。主机仍然控制SCL线，但是MAX5823/MAX5824/MAX5825接管SDA线。数据帧中的最后三个字节包括在第一次传输中写入的用于读回的命令和寄存器数据，随后为STOP条件。如果提供的字节超过读回的请求数据，MAX5823/MAX5824/MAX5825将连续读回1。

表2. 标准I<sup>2</sup>C用户读回数据

COMMAND BYTE (REQUEST)								READBACK DATA HIGH BYTE								READBACK DATA LOW BYTE									
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0		
0	0	0	1	X	X	X	X	WDOG Timeout Selection[11:4]								Timeout Selection[3:0]				WDM	WL[1:0]		0		
0	1	0	0	X	X	X	X	0	0	0	0	0	0	0	0	PW7	PW6	PW5	PW4	PW3	PW2	PW1	PW0		
0	1	1	1	DAC SELECTION				RETURNn[11:4]								RETURNn[3:0]				ADDRESSn[3:0]					
1	0	0	0	DAC SELECTION				CODEn[11:4]								CODEn[3:0]				ADDRESSn[3:0]					
1	0	0	1	DAC SELECTION				DACn[11:4]								DACn[3:0]				ADDRESSn[3:0]					
1	0	1	0	DAC SELECTION				DACn[11:4]								DACn[3:0]				ADDRESSn[3:0]					
1	0	1	1	DAC SELECTION				DACn[11:4]								DACn[3:0]				ADDRESSn[3:0]					
1	1	0	0	0	0	0	0	CODE0[11:4]								CODE0[3:0]				ADDRESS0[3:0]					
1	1	0	0	0	0	0	1	DAC0[11:4]								DAC0[3:0]				ADDRESS0[3:0]					
1	1	0	0	0	0	1	0	DAC0[11:4]								DAC0[3:0]				ADDRESS0[3:0]					
1	1	0	0	0	0	1	1	RETURN0[11:4]								RETURN0[03:0]				ADDRESS0[3:0]					
All Other Commands (MAX5825)								WD	REF[2:0]				CLR	REV_ID [2:0] (001)				1	0	0	0	0	0	0	0
All Other Commands (MAX5824)									1	0	1	0		0	0	0	0	0	0						
All Other Commands (MAX5823)									1	0	0	1		0	0	0	0	0							

# MAX5823/MAX5824/MAX5825

超小尺寸、8通道、8/10/12位缓冲  
输出DAC，内置基准和I<sup>2</sup>C接口

表3. DAC数据格式位的位置

PART	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
MAX5823	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X	X	X	X	X
MAX5824	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X	X	X
MAX5825	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X

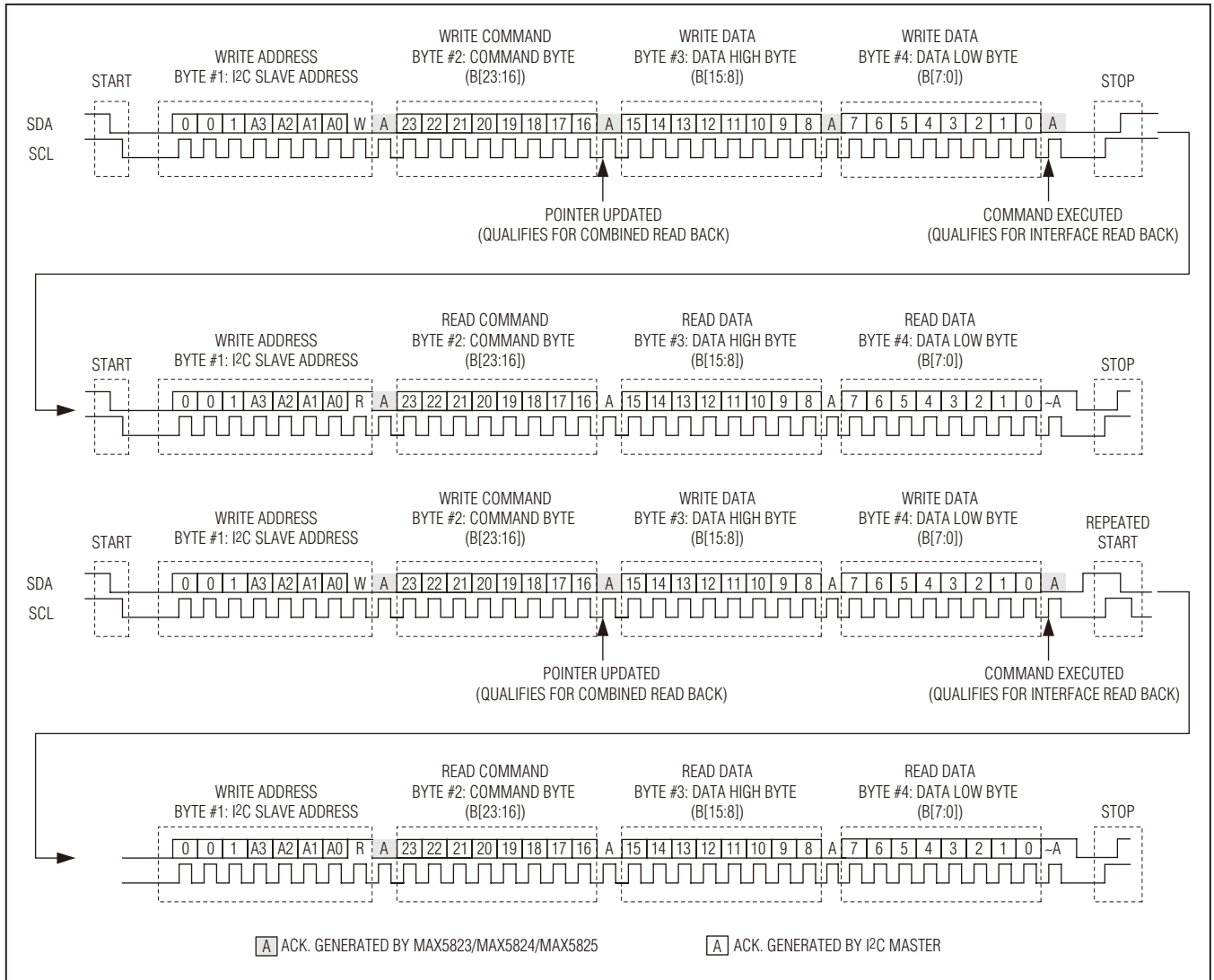


图7. 接口验证I<sup>2</sup>C寄存器读序列

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

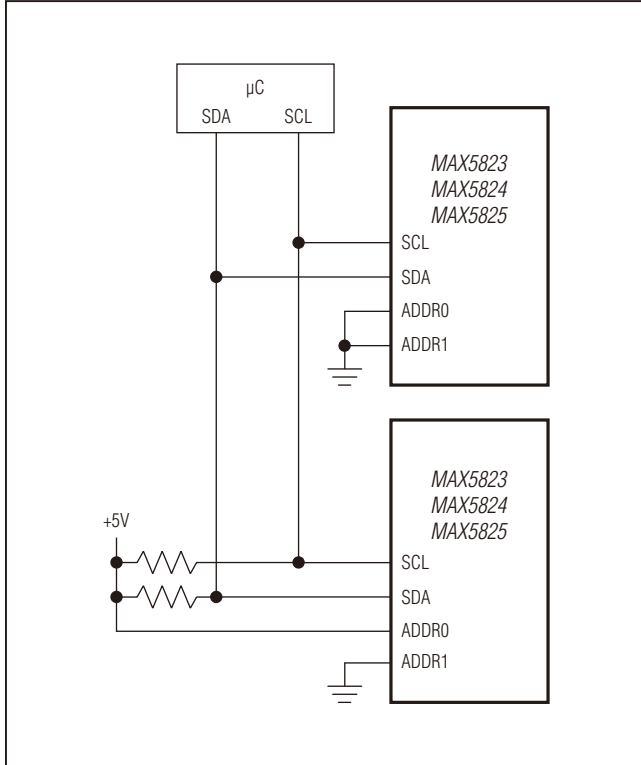


图8. 典型的I<sup>2</sup>C应用电路

写和读模式传输不必立即顺序发生。涉及其它器件的I<sup>2</sup>C传输不影响MAX5823/MAX5824/MAX5825读回模式。读回模式之间的切换取决于之前写模式传输的长度。如果写命令长于两个字节但少于4个字节，则判定为组合格式I<sup>2</sup>C读回。对于使用多个寄存器写序列写入的命令，只读回最后执行的命令。对于每个写入的命令，读回序列只能一次完成，部分和/或连续多次尝试执行读回命令，不会产生有用数据。

### I<sup>2</sup>C兼容性

MAX5823/MAX5824/MAX5825与现有I<sup>2</sup>C系统完全兼容。SCL和SDA为高阻输入；SDA为开漏，可将数据线拉低以发送数据或ACK脉冲。图8所示为典型的I<sup>2</sup>C应用。

### I<sup>2</sup>C用户命令寄存器映射

本节列出了MAX5823/MAX5824/MAX5825的用户可访问命令和寄存器。

表4列出了关于命令寄存器的详细信息。



# MAX5823/MAX5824/MAX5825

超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

表4. I<sup>2</sup>C命令汇总

COMMAND	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	DESCRIPTION	
CONFIGURATION AND SOFTWARE COMMANDS																										
WDOG	0	0	0	1	X	X	X																	X	Updates watchdog settings and safety levels	
REF	0	0	1	0	0	REF Power = 0 = 2.5V DAC ON 1 = 4.1V ON																	X	X	Sets the reference operating mode. REF Power (B18): 0 = Internal reference is only powered if at least one DAC is powered. 1 = Internal reference is always powered.	
SW_GATE_CLR	0	0	1	1	0	0	0	0	1	0	0	1	0	1	0	0	0	0	1	1	0	0	0	0	0	Removes any existing GATE condition
SM_GATE_SET	0	0	1	1	0	0	1	1	1	0	0	1	0	1	0	0	0	0	1	1	0	0	0	0	0	Initiates a GATE condition
WD_REFRESH	0	0	1	1	0	0	1	1	1	0	0	1	0	1	0	0	0	0	1	1	0	0	0	0	0	Refreshes the watchdog timer
WD_RESET	0	0	1	1	0	0	1	1	1	0	0	1	0	1	0	0	0	0	1	1	0	0	0	0	0	Resets the watchdog timeout alarm status and refreshes the watchdog timer
SW_CLEAR	0	0	1	1	0	1	0	0	1	0	0	1	0	1	0	0	0	0	1	1	0	0	0	0	0	Executes a software clear (all CODE and DAC registers cleared to their default values)
SW_RESET	0	0	1	1	0	1	0	1	1	0	0	1	0	1	0	0	0	0	1	1	0	0	0	0	0	Executes a software reset (all CODE, DAC, and Control registers returned to their power-on reset values)
POWER	0	1	0	0	0	0	0			DAC 7	DAC 6	DAC 5	DAC 4	DAC 3	DAC 2	DAC 1	DAC 0						X	X	X	Sets the Power mode of the selected DACs (DACs selected with a 1 in the corresponding DACn bit are updated. DACs with a 0 in the corresponding DACn bit are not impacted)
CONFIG	0	1	0	1	0	0	0																X	X	X	Configures selected DAC watchdog, GATE, LOAD, and CLEAR operations. DACs selected with a 1 in the corresponding DACn bit are updated. DACs with a 0 in the corresponding DACn bit are not impacted

# MAX5823/MAX5824/MAX5825

超小尺寸、8通道、8/10/12位缓冲  
输出DAC，内置基准和I<sup>2</sup>C接口

表4. I<sup>2</sup>C命令汇总(续)

COMMAND	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	DESCRIPTION
DEFAULT	0	1	1	0	0	0	0	0	DAC 7	DAC 6	DAC 5	DAC 4	DAC 3	DAC 2	DAC 1	DAC 0		Default Values: 000: MIZ 001: ZERO 010: MID 011: FULL 100: RETURN 101+: No Effect							Sets the default code settings for selected DACs. Note: DACs in RETURN mode programmable RETURN codes. (DACs selected with a 1 in the corresponding DACn bit are updated, DACs with a 0 in the corresponding DACn bit are not impacted)
<b>DAC COMMANDS</b>																									
RETURNn	0	1	1	1			DAC SELECTION					RETURN REGISTER DATA[11:4]						RETURN REGISTER DATA[3:0]			X	X	X	X	Writes data to the selected RETURN register(s)
CODEn	1	0	0	0			DAC SELECTION					CODE REGISTER DATA[11:4]						CODE REGISTER DATA[3:0]			X	X	X	X	Writes data to the selected CODE register(s)
LOADn	1	0	0	1			DAC SELECTION		X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	Transfers data from the selected CODE registers to the selected DAC register(s)
CODEn_LOAD_ALL	1	0	1	0			DAC SELECTION					CODE REGISTER DATA[11:4]						CODE REGISTER DATA[3:0]			X	X	X	X	Simultaneously writes data to the selected CODE register(s) while updating all DAC registers
CODEn_LOADn	1	0	1	1			DAC SELECTION					CODE REGISTER DATA[11:4]						CODE REGISTER DATA[3:0]			X	X	X	X	Simultaneously writes data to the selected CODE register(s) while updating selected DAC register(s)
CODE_ALL	1	1	0	0	0	0	0	0	0	0	0	CODE REGISTER DATA[11:4]						CODE REGISTER DATA[3:0]			X	X	X	X	Writes data to all CODE registers
LOAD_ALL	1	1	0	0	0	0	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	Updates all DAC latches with current CODE register data
CODE_ALL_LOAD_ALL	1	1	0	0	0	0	1	0				CODE REGISTER DATA[11:4]						CODE REGISTER DATA[3:0]			X	X	X	X	Simultaneously writes data to the all CODE registers while updating all DAC registers
RETURN_ALL	1	1	0	0	0	0	1	1				RETURN REGISTER DATA[11:4]						RETURN REGISTER DATA[3:0]			X	X	X	X	Writes data to all RETURN registers
<b>NO OPERATION COMMANDS</b>																									
No Operation	1	1	0	0	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	These commands will have no effect on the device, but will refresh the watchdog timer if safety level is set to Low
<b>Reserved Commands:</b> Any commands not specifically listed above are reserved for Maxim internal use only.																									



# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

### RETURNn命令

RETURNn命令(B[23:20] = 0111)设置可编程的RETURN默认值。当DAC使用DEFAULT命令选定RET时，该值用于将来全部的看门狗、清零，以及选通操作。如果发送该命令时将DAC\_ADDRESS设置为全部DAC，将设置全部RETURN寄存器的值，相当于RETURN\_ALL。**注：**如果看门狗定时器的安全等级配置为高或最高，发生看门狗超时，该命令不可用。

### CODEn命令

CODEn命令(B[23:20] = 1000)更新所选DAC的CODE寄存器内容。根据该命令更改CODE寄存器不直接影响DAC输出，除非LDAC输入处于低电平状态或利用CONFIG命令将DAC锁存配置为透明。如果发送该命令时将DAC\_ADDRESS设置为全部DAC，将设置全部CODE寄存器的值，相当于CODE\_ALL。

### LOADn命令

LOADn命令(B[23:20] = 1001)通过将所选CODE寄存器的当前内容装载至所选的DAC寄存器，更新DAC寄存器内容。对于自上次LOAD或LDAC操作以来CODE内容无更改的通道不进行更新，以降低数字串扰。如果发送该命令时将DAC\_ADDRESS设置为全部DAC，将更新全部DAC寄存器的内容，相当于LOAD\_ALL。

### CODEn\_LOADn命令

CODEn\_LOADn命令(B[23:20] = 1011)更新所选DAC的CODE寄存器内容，以及所选DAC的DAC寄存器内容。对于自上次LOAD或LDAC操作以来CODE内容无更改的通道不进行更新，以降低数字串扰。如果发送该命令时将DAC\_ADDRESS设置为全部DAC，相当于CODE\_ALL\_LOAD\_ALL命令。

### CODEn\_LOAD\_ALL命令

CODEn\_LOAD\_ALL命令(B[23:20] = 1010)更新所选DAC的CODE寄存器内容，以及全部DAC的DAC寄存器内容。对于自上次LOAD或LDAC操作以来CODE内容无更改的通道不进行更新，以降低数字串扰。如果发送该命令时将DAC\_ADDRESS设置为全部DAC，将更新全部DAC的CODE和DAC寄存器的内容，相当于CODE\_ALL\_LOAD\_

表5. DAC选择

B19	B18	B17	B16	DAC SELECTED
0	0	0	0	DAC0
0	0	0	1	DAC1
0	0	1	0	DAC2
0	0	1	1	DAC3
0	1	0	0	DAC4
0	1	0	1	DAC5
0	1	1	0	DAC6
0	1	1	1	DAC7
1	X	X	X	ALL DACs

ALL。注意，根据定义，该命令将更改至少一个CODE寄存器；为避免更新CODE寄存器，请使用DAC\_ADDRESS设置为全部DAC的LOAD命令或LOAD\_ALL命令。

### CODE\_ALL命令

CODE\_ALL命令(B[23:16] = 1100\_0000)更新全部DAC的CODE寄存器内容。

### LOAD\_ALL命令

LOAD\_ALL命令(B[23:16] = 1100\_0001)通过将CODE寄存器的当前内容装载至DAC寄存器，更新全部DAC的DAC寄存器内容。

### CODE\_ALL\_LOAD\_ALL命令

CODE\_ALL\_LOAD\_ALL命令(B[23:16] = 1100\_0010)更新全部DAC的CODE寄存器内容，以及全部DAC的DAC寄存器内容。

### RETURN\_ALL命令

RETURN\_ALL命令(B[23:16] = 1100\_0011)更新全部DAC的RETURN寄存器内容。

### 无操作命令

所有未使用的命令均在此区间(B[23:16] = 1100\_X1XX或1100\_1XXX)，这些命令对器件无影响，但将刷新看门狗定时器(若有效)，并将安全等级设置为低。

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

### WDOG命令

WDOG命令(B[23:20] = 0001)更新器件的看门狗超时设置和安全等级。以1ms步长选择超时门限(1ms至4095ms有效)。WD\_MASK位可用于屏蔽响应看门狗状态的 $\overline{\text{IRQ}}$ 工作，如果WD\_MASK = 1，看门狗报警将不置位 $\overline{\text{IRQ}}$ 。可使用I<sup>2</sup>C状态读回命令轮询看门狗报警状态(WD位)，与WD\_MASK设置无关。写该寄存器将不复位之前触发的看门狗报警(可使用WD\_RESET命令实现)。看门狗定时器刷新和超时行为由以下的可编程安全等级定义。

可用的安全等级(WL[1:0])有：

**低(00)：**执行任何有效的用户模式命令或无操作命令，将刷新看门狗定时器。任何成功的从地址应答都将重新启动看门狗定时器(运行至第9个SCL信号沿)，与随后的命令无关。硬件 $\overline{\text{CLR}}$ 或 $\overline{\text{LDAC}}$ 下降沿也刷新看门狗定时器。触发看门狗报警时，不妨碍写任何寄存器。发生看门狗超时事件后， $\overline{\text{LDAC}}$ 和 $\overline{\text{CLR}}$ 输入仍正常工作。

**中(01)：**必须执行WD\_REFRESH命令才能刷新看门狗定时器。其它命令以及 $\overline{\text{LDAC}}$ 或 $\overline{\text{CLR}}$ 动作不刷新看门狗定时器。触发看门狗报警时，不妨碍写任何寄存器。发生看门狗超时事件后， $\overline{\text{LDAC}}$ 和 $\overline{\text{CLR}}$ 输入仍正常工作。

**高(10)：**必须执行WD\_REFRESH命令才刷新看门狗定时器。其它命令以及 $\overline{\text{LDAC}}$ 或 $\overline{\text{CLR}}$ 动作不刷新看门狗定时器。触发看门狗报警时，全部POWER、REF、CONFIG、DEFAULT及RETURN命令将不能执行。发生看门狗超时事件后， $\overline{\text{LDAC}}$ 和 $\overline{\text{CLR}}$ 输入仍正常工作。

**最高(11)：**必须执行WD\_REFRESH命令才刷新看门狗定时器。其它命令以及 $\overline{\text{LDAC}}$ 或 $\overline{\text{CLR}}$ 动作不刷新看门狗定时器。触发看门狗报警时，全部POWER、REF、CONFIG、DEFAULT及RETURN命令将不能执行。发生看门狗超时事件后， $\overline{\text{LDAC}}$ 和 $\overline{\text{CLR}}$ 选通，并且不能正常工作。

表6. WDOG命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0			
0	0	0	1	X	X	X	X	C11	C10	C9	C8	C7	C6	C5	C4	C3	C2	C1	C0	WDM	WL1	WL0	X			
WDOG Command				Don't Care				TIMEOUT SELECTION[11:4]								TIMEOUT SELECTION[3:0]				WD_MASK	WDOG Safety Level: 00: Low 01: Med 10: High 11: Max		Don't Care			
Default Value →								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X
Command Byte								Data High Byte								Data Low Byte										

表7. 看门狗安全等级保护

WATCHDOG SAFETY LEVEL	ANY COMMAND REFRESHES WDT	$\overline{\text{CLR/LDAC}}$ REFRESHES WDT	SW_RESET PLUS WD_RFRS REFRESHES WDT	ALL REGISTERS ACCESSIBLE AFTER WDT TIMEOUT*	$\overline{\text{CLR/LDAC}}$ AFFECT DAC REGISTERS AFTER WDT TIMEOUT*
00 (Low)	X	X	X	X	X
01 (Med)	—	—	X	X	X
10 (High)	—	—	X	—	X
11 (Max)	—	—	X	—	—

\* 除非受CONFIG命令设置的看门狗HOLD或 $\overline{\text{CLR}}$ 配置影响，详细信息请参见CONFIG寄存器定义。

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

### REF命令

REF命令(B[23:20] = 0010)更新适用于全部DAC通道的全局基准设置。如果选择内部基准模式，RF2 (B18)位定义基准电源模式。如果RF2设置为零(默认值)，只要全部DAC通道关断，基准将关断(例如器件处于待机模式)。如果RF2设置为1，即使全部DAC通道关断，基准也将维持上电，允许外部电路继续工作(注，该模式下，低电流关断状态不可用)。如果将看门狗定时器的安全等级配置为高或最高，发生看门狗超时时，该命令不可用。

### SW\_GATE\_CLR命令

SW\_GATE\_CLR命令(B[23:0] = 0011\_0000\_1001\_0110\_0011\_0000)将清除由之前SW\_GATE\_SET命令设置的现有GATE条件。

### SW\_GATE\_SET命令

SW\_GATE\_SET命令(B[23:0] = 0011\_0001\_1001\_0110\_0011\_0000)将启动GATE条件。任何配置为GTB = 0的DAC (见CONFIG命令部分)将使其输出保持在所选的DEFAULT值，直到随后的SW\_GATE\_CLR命令消除GATE条件。选通模式下，CODE和DAC寄存器继续正常工作，不会复位(除非由看门狗超时复位)。

### WD\_REFRESH命令

WD\_REFRESH命令(B[23:0] = 0011\_0010\_1001\_0110\_0011\_0000)将刷新看门狗定时器。在器件安全等级配置为中、高或最高时，这是唯一刷新看门狗定时器的命令。利用该命令防止看门狗定时器超时。

### WD\_RESET命令

WD\_RESET命令(B[23:0] = 0011\_0011\_1001\_0110\_0011\_0000)将复位看门狗中断(超时)状态，并刷新看门狗定时器。看门狗定时器超时后，利用该命令复位IRQ超时条件。所有受超时条件影响的DAC都将返回至正常工作状态。

### SW\_CLEAR命令

软件清零命令(B[23:0] = 0011\_0100\_001\_0110\_0011\_0000)将配置为CLB = 0 (见CONFIG命令)的全部通道的CODE和DAC寄存器的内容设置为DEFAULT默认状态。

### SW\_RESET命令

软件复位命令(B[23:0] = 0011\_0101\_1001\_0110\_0011\_0000)将全部CODE、DAC和配置寄存器复位为其默认值(包括POWER、DEFAULT、CONFIG、WDOG和REF寄存器)，模拟上电复位。

表8. REF命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	0	1	0	0	RF2	RF1	RF0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
REF Command				Reserved	DAC Controlled 0 = Always ON 1 = Always ON		REF Mode: 00: EXT 01: 2.5V 10: 2.0V 11: 4.0V	Don't Care								Don't Care							
Default Value →					0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
Command Byte								Data High Byte								Data Low Byte							

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

### POWER命令

POWER命令(B[23:20] = 0100)更新所选DAC的电源模式设置。响应命令时，未选中的DAC不更新其电源设置。新电源设置由PD[1:0] (B[7:6])位决定，利用B[15:8]选择受影响的DAC。如果全部DAC关断，且RF2位未置位，器件进入待机模式(禁用全部模拟电路)。如果将看门狗定时器的安全等级配置为高或最高，发生看门狗超时，该命令不可用。

可用的电源模式(PD[1:0])为：

常规(00)：DAC通道有效(默认)；

PD 1kΩ (01)：关断，对GND连接1kΩ端接电阻；

PD 100kΩ (10)：关断，对GND连接100kΩ端接电阻；

PD Hi-Z (11)：关断，高阻输出。

表9. POWER命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
0	1	0	0	0	0	0	0	7	6	5	4	3	2	1	0	PD1	PD0	X	X	X	X	X	X	
POWER Command				Reserved				DAC Selection								Power Mode: 00 = Normal 01 = 1kΩ 10 = 100kΩ 11 = Hi-Z		Don't Care						
Default Value →								1	1	1	1	1	1	1	1	1	0	0	X	X	X	X	X	X
Command Byte								Data High Byte								Data Low Byte								

### CONFIG命令

CONFIG命令(B[23:16] = 0101)更新所选DAC的看门狗、选通、装载和清零模式设置。响应命令时，未选中的DAC不更新其设置。写入的新模式设置由B[7:3]位决定，利用B[15:8]选择受影响的DAC。如果将看门狗定时器的安全等级配置为高或最高，发生看门狗超时，该命令不可用。

#### 看门狗配置：

WDOG配置设置通过WC[1:0] (B[7:6])写入：

DISABLE (WC = 00)：看门狗超时不影响所选DAC的工作。

GATE (WC = 01)：响应看门狗超时，DAC编码选通至DEFAULT值。除非由看门狗安全等级禁止，否则可接受

$\overline{\text{LDAC}}$ 、 $\overline{\text{CLR}}$ 以及对CODE和DAC寄存器的写操作，但在看门狗超时状态复位时才反应在DAC输出上。

$\overline{\text{CLR}}$  (WC = 10)：响应看门狗超时，将CODE和DAC寄存器内容恢复为DEFAULT值。忽略对CODE和DAC寄存器的全部写操作，在看门狗超时状态复位状态之前， $\overline{\text{LDAC}}$ 或 $\overline{\text{CLR}}$ 输入动作无影响，与看门狗安全等级无关。

HOLD (WC = 11)：响应看门狗超时，DAC编码保持其先前设置值。忽略对DAC和CODE寄存器的全部写操作，在看门狗超时状态复位状态之前， $\overline{\text{LDAC}}$ 或 $\overline{\text{CLR}}$ 输入动作无影响，与看门狗安全等级无关。

**注：**为了使看门狗超时且发生作用，必须首先使能该功能，并使用WDOG命令进行配置。

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

### 选通配置:

DAC GATE设置由GTB (B5)写入; GATE工作如下:

GTB = 0: 使能软件选通功能(默认), 只要器件保持在GATE模式(由SW\_GATE\_SET设置, 由SW\_GATE\_CLR清除), DAC输出即选通至其DEFAULT设置。

GTB = 1: 禁用软件选通功能, DAC输出不受GATE模式影响。

### 装载配置:

LDAC\_ENB设置由LDB (B4)写入; LDAC\_ENB工作如下:

LDB = 0: DAC锁存工作, 使能LDAC和LOAD功能(默认)。

LDB = 1: DAC锁存透明, CODE寄存器内容直接控制DAC输出。

### 清零配置:

CLEAR\_ENB设置由CLB (B3)写入; CLEAR\_ENB工作如下:

CLB = 0: 清零输入和命令功能影响DAC (默认), 将CODE和DAC寄存器恢复为其DEFAULT值。

CLB = 1: 清零输入和命令功能不影响DAC。

表10. CONFIG命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
0	1	0	1	0	0	0	0	7	6	5	4	3	2	1	0	WC1	WC0	GTB	LDB	CLB	X	X	X	
CONFIG Command				Reserved				DAC Selection								WDOG Config: 00: DISABLE 01: GATE 10: CLR 11: HOLD		GATE_ENB	LDAC_ENB	CLEAR_ENB	Don't Care			
Default Value →								1	1	1	1	1	1	1	1	1	0	0	0	0	0	X	X	X
Command Byte								Data High Byte								Data Low Byte								

# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

### DEFAULT命令

DEFAULT命令(B[23:20] = 0110)选择所选DAC的默认值。响应命令时，未选中的DAC不更新其默认设置。这些默认值用于将来全部的看门狗、清零和选通操作。新默认设置由DF[2:0] (B[7:5])位决定，利用B[15:8]选择受影响的DAC。如果将看门狗定时器的安全等级配置为高或最高，发生看门狗超时时，该命令不可用。注意，所选的默认值不适用于由SW\_RESET命令或电源关/开引起的复位，这两种情况将全部DAC恢复为由M/Z输入确定的值，并将该寄存器复位至M/Z模式。

可用的默认值(DF[2:0])有：

M/Z (000)：DAC通道默认为M/Z输入所选的值(默认)。

ZERO (001)：DAC通道默认为零刻度。

MID (010)：DAC通道默认为中间刻度。

FULL (011)：DAC通道默认为满刻度。

RETURN (100)：DAC通道默认为由RETURN命令编程的值。

No Effect (101, 110, 111)：DAC通道默认方式不变。

表11. DEFAULT命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	1	1	0	0	0	0	0	7	6	5	4	3	2	1	0	DF2	DF1	DF0	X	X	X	X	X
DEFAULT Command				Reserved				DAC Selection								Default Values: 000: M/Z 001: ZERO 010: MID 011: FULL 100: RETURN 101+: No Effect			Don't Care				
Default Value →								1	1	1	1	1	1	1	1	0	0	0	X	X	X	X	X
Command Byte								Data High Byte								Data Low Byte							



# MAX5823/MAX5824/MAX5825

## 超小尺寸、8通道、8/10/12位缓冲输出DAC，内置基准和I<sup>2</sup>C接口

### 应用信息

#### 上电复位(POR)

电源加至V<sub>DD</sub>和V<sub>DDIO</sub>时，DAC输出设置为零刻度。为获得最佳DAC线性度，等待电源达到稳定并完成内部设置和校准序列(200μs，典型值)。

#### 电源和旁路考虑

用高品质陶瓷电容将V<sub>DD</sub>和V<sub>DDIO</sub>旁路至低阻地，电容尽量靠近器件放置。将引线长度降至最短，以减小引线电感。将GND连接至模拟接地区域。

#### 布局考虑

GND上的数字和交流瞬态信号会在输出产生噪声。DAC系统的接地连接为星型接地。将该系统地作为远端DAC负载的参考地有助于获得最佳性能。采用正确的接地技术，例如带有低电感地层的多层电路板，或者采用星型拓扑将全部地回路连接至MAX5823/MAX5824/MAX5825的GND。须特别注意通道间的走线，以降低交流交叉耦合。不要使用绕线电路板或插座。采用屏蔽，提高抗噪性。不得并行排列模拟和数字信号线，特别是时钟信号。避免在MAX5823/MAX5824/MAX5825封装下方出现数字信号线。

### 定义

#### 积分非线性(INL)

INL是消除失调、增益误差后，所测的传递函数与两个代码连接直线的偏差。

#### 微分非线性(DNL)

DNL是实际步长与1 LSB理想值之差。如果DNL的幅度  $\leq$  1 LSB，DAC可确保无丢码并且单调。如果DNL的幅度  $\geq$  1 LSB，DAC输出仍可能单调。

#### 失调误差

失调误差指在某个工作点，实际传递函数与理想传递函数的差异。通常情况下，规定在位于或靠近传递函数零点的位置测量失调误差。

#### 增益误差

增益误差为消除失调误差后，理想的满幅输出电压与实际传递函数曲线满幅输出电压的差。该误差会改变传递函数的斜率，每一步长具有相同百分比误差。

#### 建立时间

建立时间是指从开始转换到DAC新输出值稳定为转换器规定精度所需要的时间。

#### 数字馈通

数字馈通是指触发DAC数字控制线时，在DAC输出端产生的噪声。

#### 数/模转换干扰脉冲

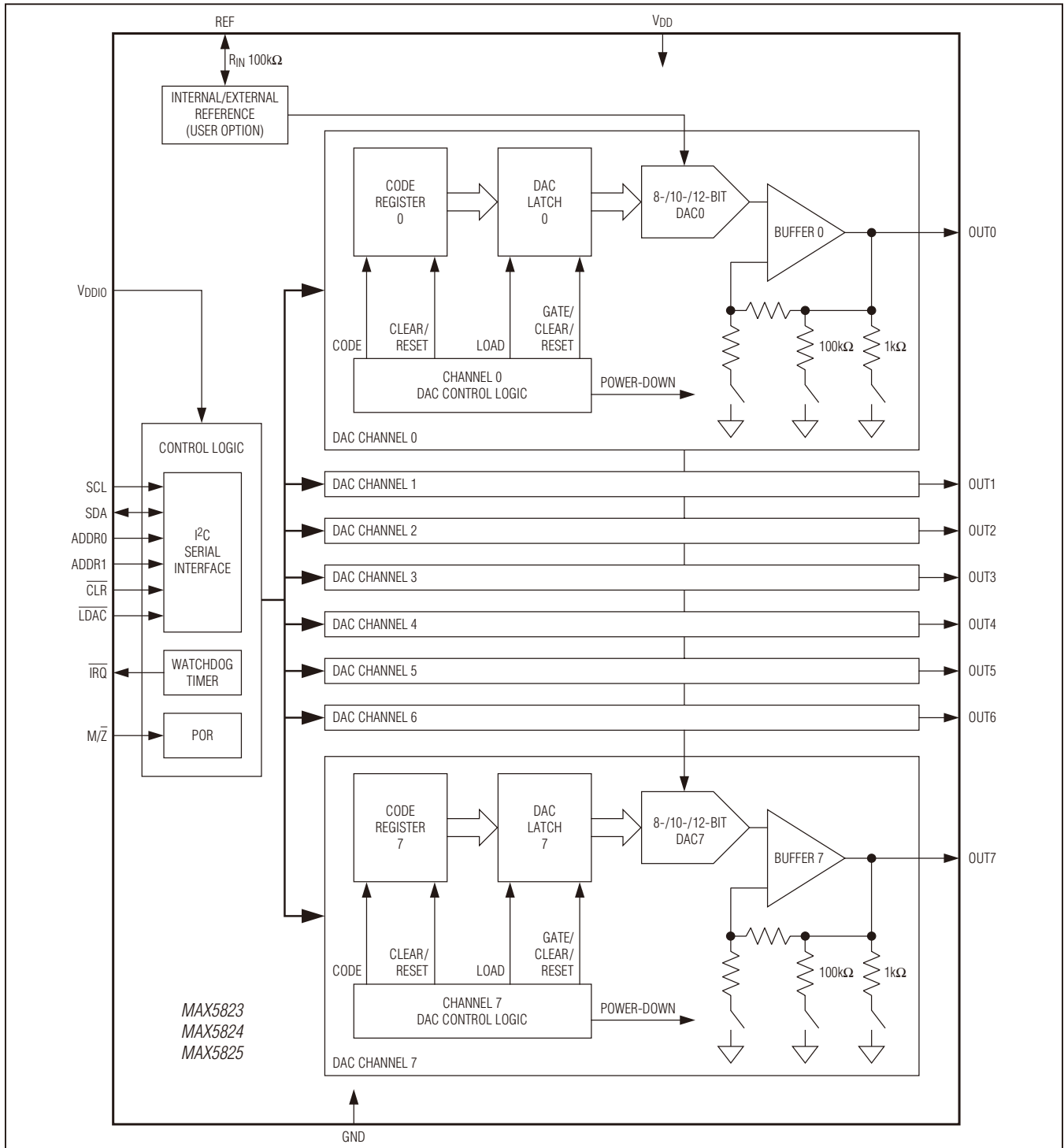
最多位跳变发生在中间刻度点—MSB由低电平变为高电平，其它所有数据位则由高电平变为低电平；或者MSB由高电平变为低电平，而其它数据位由低电平变为高电平。在最多位跳变过程中，开关干扰脉冲的持续时间称作数/模转换干扰脉冲。尽管全部位发生变化，大步长可能会造成较大的尖峰能量。

数/模转换上电干扰指器件退出关断模式时所产生的开关干扰脉冲的持续时间。

# MAX5823/MAX5824/MAX5825

超小尺寸、8通道、8/10/12位缓冲  
输出DAC，内置基准和I<sup>2</sup>C接口

详细功能框图

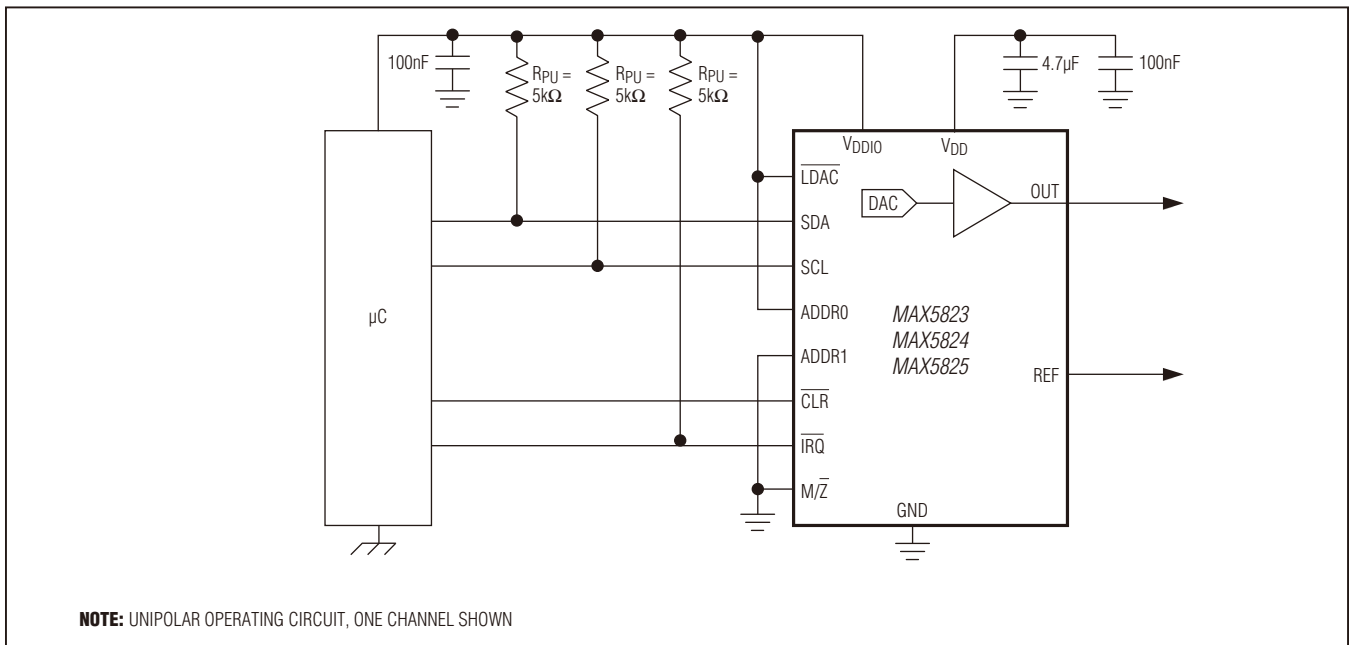
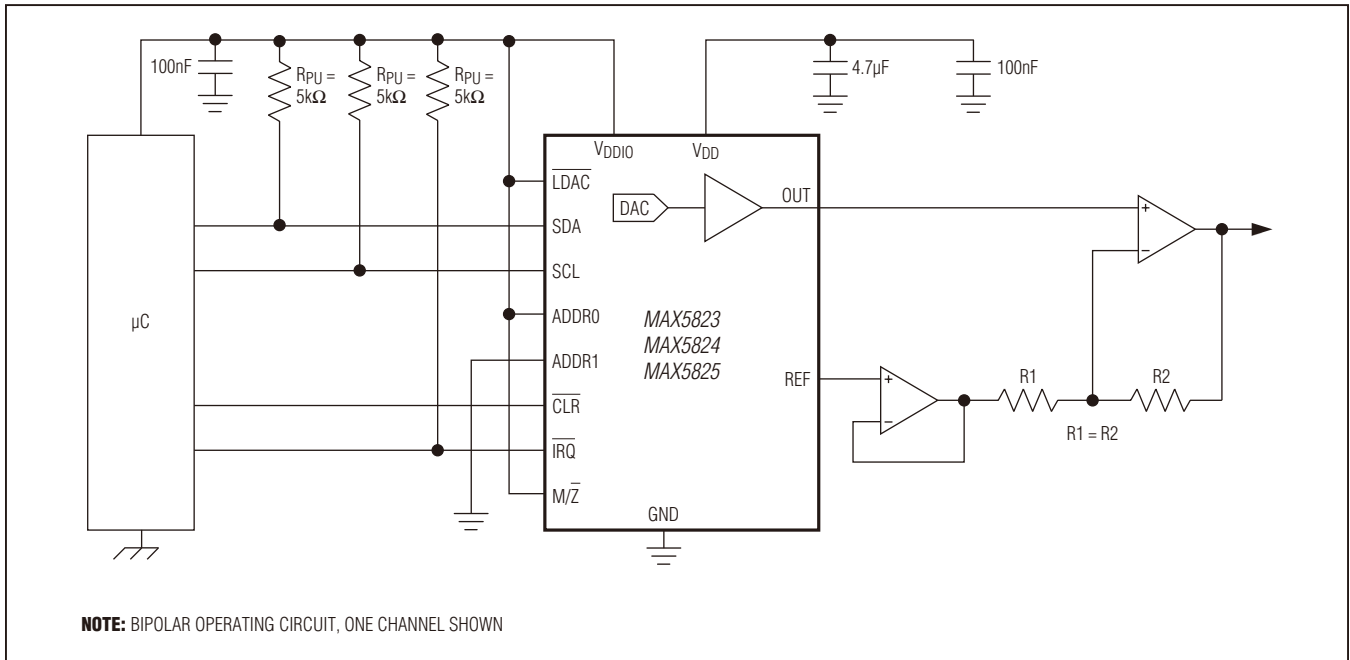




# MAX5823/MAX5824/MAX5825

超小尺寸、8通道、8/10/12位缓冲  
输出DAC，内置基准和I<sup>2</sup>C接口

典型工作电路



# MAX5823/MAX5824/MAX5825

超小尺寸、8通道、8/10/12位缓冲  
输出DAC，内置基准和I<sup>2</sup>C接口

订购信息

PART	TEMP RANGE	PIN-PACKAGE	RESOLUTION (BIT)
MAX5823AUP+*	-40°C to +125°C	20 TSSOP	8
MAX5824AUP+*	-40°C to +125°C	20 TSSOP	10
MAX5825AAUP+	-40°C to +125°C	20 TSSOP	12
MAX5825AWP+T*	-40°C to +125°C	20 WLP	12
MAX5825BAUP+*	-40°C to +125°C	20 TSSOP	12

注：所有器件均可工作于-40°C至+125°C温度范围内。

+表示无铅(Pb)/符合RoHS标准的封装。

\*未来产品—供货状况请联系工厂。

T = 卷带包装。

## 芯片信息

PROCESS: BiCMOS

## 封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询[china.maximintegrated.com/packages](http://china.maximintegrated.com/packages)。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
20 TSSOP	U20+1	<a href="#">21-0066</a>	<a href="#">90-0116</a>
20 WLP	W202C2+1	<a href="#">21-0059</a>	参见 <a href="#">应用笔记1891</a>

# MAX5823/MAX5824/MAX5825

超小尺寸、8通道、8/10/12位缓冲  
输出DAC，内置基准和I<sup>2</sup>C接口

修订历史

修订号	修订日期	说明	修改页
0	2/12	最初版本。	—

## Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

**Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00**

**35**

© 2012 Maxim Integrated

Maxim标志和Maxim Integrated是Maxim Integrated Products, Inc.的商标。