

Układ pętli synchronizacji fazowej /PLL/ składa się z: liniowo przestrajanego napięciem generatora małej mocy /VCO - Voltage Controlled Oscillator/, sterowanego źródła /Source Follower/, dwóch różnych komparatorów fazy /Comp. Ph. 1 i Comp. Ph. 2/ i diody Zenera.

Generator /VCO/ dostarcza na wyjście VCO OUT sygnał o częstotliwości określonej przez napięcie wejściowe /VCO IN/ oraz zewnętrzne elementy - pojemność i rezystancję podłączone do wyprowadzeń C<sub>EXT</sub>, R<sub>1EXT</sub>, R<sub>2EXT</sub>. Źródło sterowane zapewnia odseparowanie generatora od wyjścia OUT. Wejście INH/Inhibit/ pozwala w wyniku podania stanu wysokiego na blokadę pracy źródła i generatora przy bardzo małym poborze prądu.

Komparatory mają dwa wspólne wejścia sygnałowe PC1 IN i PC2 IN. Wejście PC1 IN zaopatrzone jest w układ automatycznej polaryzacji /SBC - SELF BIAS CIRCUIT/ ustawiający mały sygnał wejściowy w liniowym zakresie pracy komparatora.

Dzięki temu komparatory można sterować nie tylko dużym sygnałem /bezpośrednio/, ale także małym /przez szeregowy kondensator/. Pierwszy komparator fazy, reagujący na poziom sygnału wejściowego, podaje na wyjście PC1 OUT cyfrowy sygnał błędu i utrzymuje w układzie PLL 90-stopniowe przesunięcie fazy, dla środkowej częstotliwości zakresu synchronizacji. Drugi komparator fazy, reagujący na zbocze sygnału wejściowego, podaje na wyjścia PC2 OUT i PC OUT cyfrowy sygnał błędu i utrzymuje zerowe przesunięcie fazy między sygnałami wejściowymi.

Do ewentualnej stabilizacji napięcia zasilania można wykorzystać diodę Zenera.

Zastosowanie układu: w modulatorach i demodulatorach FM, syntezerach częstotliwości, przetwornikach napięcie-częstotliwość, dyskryminatorach częstotliwości, układach mnożących itp.

## MCY 74046N

## MCY 64046N

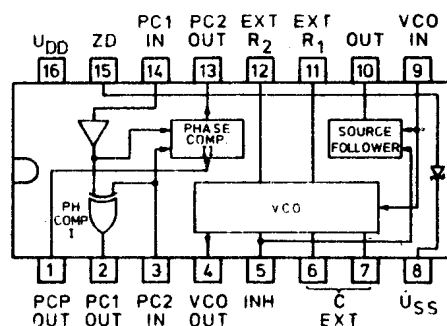
Pętla synchronizacji fazowej (PPL)

Informacja wstępna

MSI CMOS  
Bramka aluminiowa

Obudowa CE 71

Układ wyprowadzeń



74046

### Parametry dopuszczalne

$$/U_{SS} = 0 \text{ V/}$$

Oznaczenie	Nazwa	Jedn.	Wartość	
			min	max
$U_{DD}$	Napięcie zasilania	V	-0,5	+20
$U_I$	Napięcie wejściowe	V	-0,5	$U_{DD} + 0,5$
$I_I$	Prąd wejściowy	mA	-10	+10
$P_D$	Moc rozpraszana	mW		500
$t_{amb}$	Temperatura otoczenia w czasie pracy			
	MCY 74....N	°C	-40	+85
	MCY 64....N	°C	0	+70
$t_{stg}$	Temperatura przechowywania	°C	-55	+125

## Parametry charakterystyczne statyczne

Oznaczenie	Nazwa	Jedn.	Wartość						Warunki pomiaru			
			$t_{amb\ min}$		25°C			$t_{amb\ max}$		$U_I$	$U_O$	$U_{DD}$
			min	max	min	typ	max	min	max	[V]	[V]	[V]
$I_{DD}^x/$	Prąd zasilania w stanie spoczynku	$\mu A$		20 40 80		10 20 40	20 40 80		20 40 80	0;5 0;10 0;15		5 10 15
$U_{IH}$	Napięcie wejściowe w stanie wysokim	V	3,5 7 11		3,5 7 11			3,5 7 11			0,5;4,5 1;9 1,5;13,5	5 10 15
$U_{IL}$	Napięcie wejściowe w stanie niskim	V		1,5 3 4			1,5 3 4		1,5 3 4		0,5;4,5 1;9 1,5;13,5	5 10 15
$I_I$	Prąd wejściowy	$\mu A$		$\pm 0,1$		$\pm 10^{-5}$	$\pm 0,1$		$\pm 1$	0;18		18
$U_{OH}$	Napięcie wyjściowe w stanie wysokim	V	$U_{DD}-0,05$		$U_{DD}-0,05$	$U_{DD}$		$U_{DD}-0,05$		0; $U_{DD}$		5;10;15
$U_{OL}$	Napięcie wyjściowe w stanie niskim	V		0,05		0	0,05		0,05	0; $U_{DD}$		5;10;15
$I_{OH}$	Prąd wyjściowy w stanie wysokim	mA	-0,64 -2 -1,6 -4,2		-0,51 -1,6 -1,3 -3,4	-1 -3,2 -2,6 -6,8		-0,36 -1,15 -0,9 -2,4		0;5 0;5 0;10 0;15	4,6 2,5 9,5 13,5	5 5 10 15
$I_{OL}$	Prąd wyjściowy w stanie niskim	mA	0,64 1,6 4,2		0,51 1,3 3,4	1 2,6 6,8		0,36 0,9 2,4		0;5 0,10 0;15	0,4 0,5 1,5	5 10 15

$x/I_{DD}$  mierzone przy INH = "1" PC1 IN = "1"  
 $t_{amb\ max} = -40^{\circ}C$  dla MCY 64....;  $0^{\circ}C$  dla MCY 74....  
 $t_{amb\ min} = +85^{\circ}C$  dla MCY 64....;  $+70^{\circ}C$  dla MCY 74....

## Parametry charakterystyczne dynamiczne

$/t_{amb} = +25^{\circ}C, t_r = t_f = 20\ ns, C_L = 50\ pF, R_L = 200\ k\Omega/$

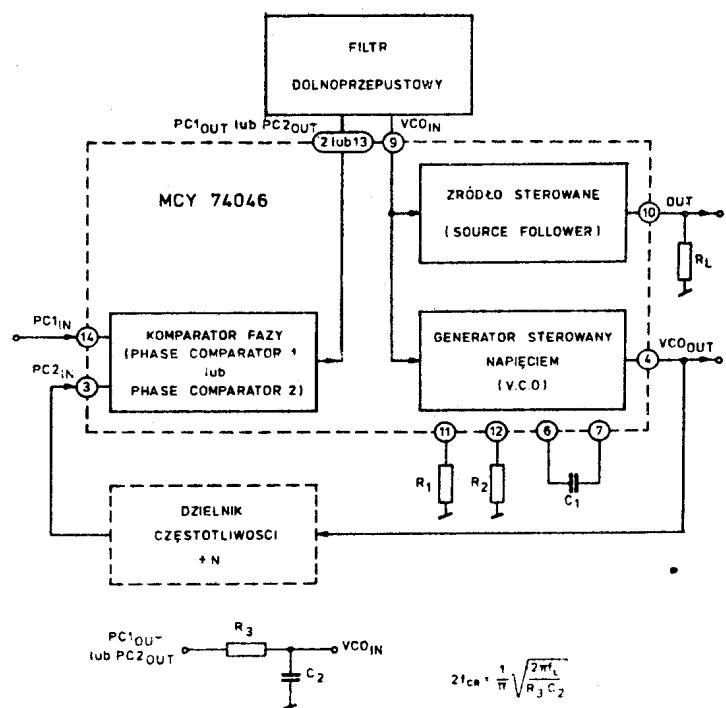
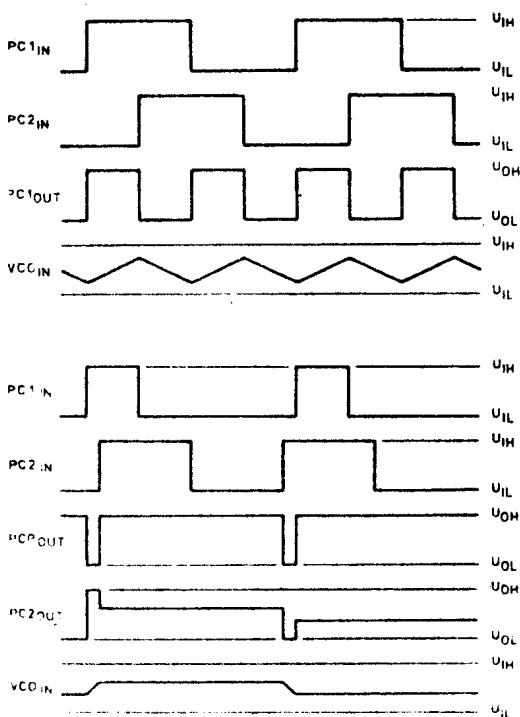
Oznaczenie	Nazwa	Jedn.	Wartość		Warunki pomiaru $U_{DD}$ [V]
			typ	max	
$t_{TLH}$	Czas narastania zbocza sygnału wyjściowego	ns	100	200	5
$t_{THL}$			50	100	10
	Czas opadania zbocza sygnału wyjściowego		40	80	15
$C_I$	Pojemność wejściowa	pF	5,0	7,5	

## Parametry charakterystyczne

Oznaczenie	Nazwa	Jedn.	Wartość			Warunki pomiaru			
			min	typ	max	$U_I$ [V]	$U_{DD}$ [V]	$R_1$ [kΩ]	
<b>KOMPARATORY FAZY</b>									
$R_I$ PC1 IN	Rezystancja wejściowa	Ω	1 0,2 0,1	2 0,4 0,2			5 10 15		
$ U_I $	Amplituda napięcia wejściowego	mV		180 330 900			5 10 15		
<b>GENERATOR /VCO/</b>									
$f_{max}$	Maksymalna częstotliwość pracy	MHz	0,5 1 1,4	0,8 1,4 2,4		$U_{DD}$ $U_{DD}$ $U_{DD}$	5 10 15	5 5 5	$C_1=50$ pF $R_2=\infty$
$\epsilon = \frac{\Delta U_{I \max}}{\Delta U_I} \cdot 100$	Współczynnik liniowości	%		1,7 4,0 7,0		2,5 ±0,3 5 ±2,5 7,5 ±5	5 10 15	10 400 1000	
$TWF = \frac{\Delta f}{f \cdot \Delta T} \cdot 100$	Temperaturowy współczynnik stabilności częstotliwości	$\frac{\%}{^\circ C}$		±0,12 ±0,04 ±0,015			5 10 15		$R_2=\infty$
D	Współczynnik wypełnienia	%		50			5;10;15		
<b>ŹRÓDŁO STEROWANE</b>									
$U_{IO} = U_I - U_O$	Napięcie niezrównoważenia	V		1,8	2,5		5;10;15		$R_L > 10k\Omega$
$\epsilon = \frac{\Delta U_{I \max}}{\Delta U_I} \cdot 100$	Współczynnik liniowości	%		0,3 0,7 0,9		2,5 ±0,3 5,0 ±2,5 7,5 ±5,0	5 10 15		$R_L=100k\Omega$ $R_L=300k\Omega$ $R_L=500k\Omega$
<b>DIODA ZENERA</b>									
$U_Z$	Napięcie stabilizacji	V	4,45	5,5	6,15				$I_R=50$ μA
$r_s$	Rezystancja dynamiczna	Ω	40						$I_R=1$ mA

Podstawowe własności	I Komparator fazy	II Komparator fazy
Częstotliwość na wyjściu układu PLL	$f_{min} = \frac{1}{R_2/C_1 + 32 \text{ pF}}; U_I = U_{SS}$ $f_{max} = \frac{1}{R_1/C_1 + 32 \text{ pF}}; U_I = U_{DD}$ <p>gdzie: <math>U_I</math> - napięcie na wejściu VCO IN</p> $10 \text{ k}\Omega \leq R_1 \leq 1 \text{ M}\Omega$ $10 \text{ k}\Omega \leq R_2 \leq 1 \text{ M}\Omega$ $100 \text{ pF} \leq C_1 \leq 0,01 \text{ }\mu\text{F}$	

Podstawowe własności	I Komparator fazy	II Komparator fazy
Środkowa częstotliwość na wyjściu układu PLL	$f_0 = f/U_I = 0,5 U_{DD}/$ gdzie: $U_I$ - napięcie na wejściu VCO IN	
Zakres trzymania	$2f_L = f_{max} - f_{min}$	
Zakres chwytania	$f_{CR} \leq f_L$ $f_{CR}$ określona jest przez graniczną częstotliwość przenoszenia filtra dolno-przepustowego /patrz rys. blokowego schematu aplikacyjnego/	$f_{CR} = f_L$
Brak sygnału na wejściu VCO IN	$f = f_0$	$f = f_{min}$
Kąt przesunięcia fazowego między sygnałami wejść PC1 IN i PC2 IN	$90^\circ$ dla $f_0$ ok. $0^\circ$ dla $f_{min}$ ok. $180^\circ$ dla $f_{max}$	zawsze $0^\circ$
Synchronizacja harmonicznych częstotliwości środkowej	jest	brak
Odporność na zakłócenia	wysoka	niska



Przykładowe przebiegi czasowe w układzie PLL

Blokowy schemat aplikacyjny